





Data processing arrangement**Publication number:** DE19822776 (A1)**Publication date:** 1999-03-25**Inventor(s):** SAKASHITA KAZUHIRO [JP]**Applicant(s):** MITSUBISHI ELECTRIC CORP [JP]**Classification:****- international:** G06F9/38; G06F15/80; G06F9/38; G06F15/76; (IPC1-7): G06F13/00**- European:** G06F15/80A**Application number:** DE19981022776 19980520**Priority number(s):** JP19970255173 19970919**Also published as:** US6032246 (A)
 KR100268747 (B1)
 JP11096123 (A)
 CN1212400 (A)**Abstract of DE 19822776 (A1)**

the arrangement has m (m greater than 1) processing stages (11), m memory sections (12), and a cross connection (20-23) between them. Each processing stage has m CPUs. Each memory stage has m semiconducting memories. The memory stages can store a sequence of data signals of N-bit-width (N greater than 2) including a program defining the processes of the program defined in the CPU. The data signals are divided into signals of different bit widths greater than 1, each associated with the m memories. The m CPUs read the data signals stored in all m memories with N-bit width and perform successive processes related to them. m pairs, each contg. One processing and one memory stage, are formed in m separate semiconducting chips

Data supplied from the esp@cenet database — Worldwide



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Offenlegungsschrift
⑩ DE 198 22 776 A 1

⑤① Int. Cl.⁶:
G 06 F 13/00

②① Aktenzeichen: 198 22 776.0
②② Anmeldetag: 20. 5. 98
④③ Offenlegungstag: 25. 3. 99

DE 198 22 776 A 1

③① Unionspriorität:
09-255173 19. 09. 97 JP
⑦① Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
⑦④ Vertreter:
Tiedtke, Bühling, Kinne & Partner, 80336 München

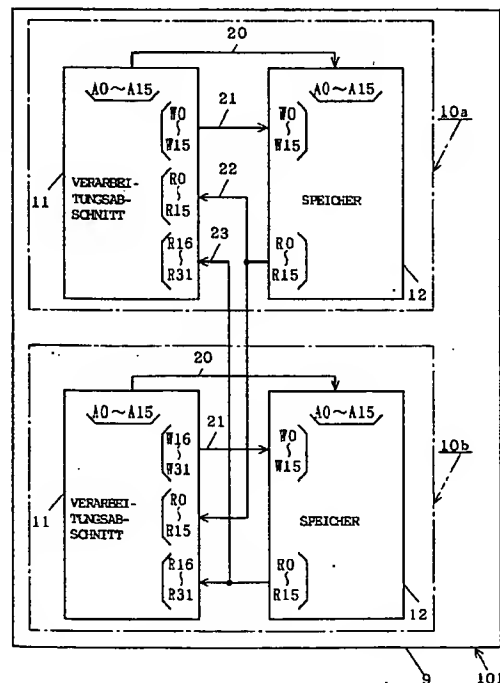
⑦② Erfinder:
Sakashita, Kazuhiro, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Datenverarbeitungsvorrichtung

⑤⑦ Erfindungsgemäß ist eine Datenverarbeitungsvorrichtung offenbart, die die Verarbeitungsgeschwindigkeit und Speicherkapazität eines Halbleiterspeichers, die ein Verarbeitungsabschnitt ausnutzen kann, kompatibel verbessert. Jede Einrichtung (10a, 10b) in der Vorrichtung, die jeweils einen Verarbeitungsabschnitt (11) und einen Speicherabschnitt (12) aufweist, ist aus einem Einzel-Halbleiterchip gebildet. Ein Datensignal wird getrennt in zwei Speicherabschnitten (12) in einer Bit-Scheiben-Form gespeichert und jeder der zwei Verarbeitungsabschnitte (11) kann das in der Gesamtheit der zwei Speicherabschnitte (12) gespeicherte 32-Bit-breite Datensignal über Querverbindungen (22, 23) verwenden. Das heißt, jeder Verarbeitungsabschnitt (11) kann eine Speicherkapazität ausnutzen, die zweimal größer als die Kapazität ist, die in einem Einzel-Halbleiterchip sichergestellt werden kann. Als Querverbindungen zur Verbindung der Halbleiterchips sind lediglich die Querverbindungen (22, 23) zur Übertragung von Datensignalen von den zwei Speicherabschnitten zu den zwei Verarbeitungsabschnitten (11) vorgesehen. Daher kann die Bitbreite der Querverbindungen (22, 23) zur Erhöhung der Übertragungsgeschwindigkeit der Datensignale und zur Erhöhung der Verarbeitungsgeschwindigkeit der Vorrichtung erhöht werden.



DE 198 22 776 A 1

Die vorliegende Erfindung betrifft Datenverarbeitungsvorrichtungen, und insbesondere eine Verbesserung zur Erhöhung der Verarbeitungsgeschwindigkeit und zur Sicherstellung einer für einen Halbleiterspeicher erforderlichen Speicherkapazität auf kompatible Art und Weise.

Fig. 13 zeigt ein Blockschaltbild des Aufbaus einer herkömmlichen Datenverarbeitungsvorrichtung, die einen Hintergrund der Erfindung bildet. In dieser herkömmlichen Vorrichtung 151 ist ein Mikrocomputer (CPU) enthaltend der Verarbeitungsabschnitt 161 mit Speicherabschnitten 162 über eine Busleitung 163 verbunden. Die Speicherabschnitte 162 enthalten beispielsweise DRAMs (dynamische Schreib- und Lesespeicher). Die Vorrichtungsabschnitte 161, 162 sind aus einzelnen Halbleiterchips (Halbleitersubstraten) gebildet.

In dieser Vorrichtung 151 liest und schreibt der Verarbeitungsabschnitt 161 Datensignale aus bzw. in die Speicherabschnitte 162 in Einheiten von N Bits bzw. N-Bit-weise. Die Busleitung 163 bietet den Vorteil, daß der Speicherplatz bzw. die verfügbare Speicherkapazität, auf die durch den Verarbeitungsabschnitt 161 zugegriffen wird, durch Verbinden einer Vielzahl von Speicherabschnitten 162 frei erweitert werden kann.

Bei der Vorrichtung 151 treten allerdings nicht vernachlässigbare Verzögerungen bei der Übertragung von Datensignalen auf, da die Datensignale über die Querverbindung 163 außerhalb der Halbleiterchips gelesen und geschrieben werden. Des weiteren ist die Anzahl von Bits N, die parallel geschrieben und gelesen werden können, begrenzt, da ein Halbleiterchip lediglich mit einer begrenzten Anzahl von Pins (Anschlüssen) ausgestattet sein kann.

Die Verzögerungen bei den Datensignalen und die Begrenzung der Anzahl paralleler Bits N führen zu dem Problem, daß es unmöglich ist, die Menge an Datensignalen, die der Verarbeitungsabschnitt 161 pro Zeiteinheit lesen und schreiben kann, zu erhöhen, oder die Übertragungsgeschwindigkeit bzw. Übertragungsrates der Datensignale zu erhöhen. Die Verzögerungen bei der Übertragungsgeschwindigkeit der Datensignale erscheinen als Verzögerungen bei der Verarbeitungsgeschwindigkeit der Vorrichtung 151.

Fig. 14 zeigt ein Blockschaltbild einer anderen herkömmlichen Vorrichtung, die hauptsächlich zur Lösung dieses Problems entwickelt wurde. In dieser Vorrichtung 152 sind sowohl der Verarbeitungsabschnitt 166 als auch der Speicherabschnitt 167 auf einem Halbleiterchip bzw. einem sogenannten Einzel-Chip ausgebildet. Demnach werden Datensignale der Einheit N Bit bzw. N-Bit-weise zwischen dem Verarbeitungsabschnitt 166 und dem Speicherabschnitt 167 in einem einzigen Halbleiterchip bzw. Einzel-Halbleiterchip übertragen.

Dadurch werden die Verzögerungen bei der Datensignalübertragung unterdrückt. Da es ferner nicht erforderlich ist, N Pins an einem Einzel-Halbleiterchip anzubringen, ist die Anzahl N der parallel übertragenen Signale nicht durch die Beschränkung der Anzahl von Pins begrenzt. Dies wiederum verbessert die Übertragungsgeschwindigkeit der durch den Verarbeitungsabschnitt 166 gelesenen oder geschriebenen Datensignale.

Allerdings ist mit der Vorrichtung 152 ein anderes Problem dahingehend verbunden, daß die Größe der Speicherkapazität des Speicherabschnitts 167 begrenzt ist, da der Verarbeitungsabschnitt 166 und der Speicherabschnitt 167 auf einem Einzel-Halbleiterchip ausgebildet sind. Üblicherweise benötigt ein Mikrocomputer einen Halbleiterspeicher mit einer Speicherkapazität, die weit über die Halbleiter-

speicherkapazität hinausgeht, die auf einem Einzel-Halbleiterchip ausgebildet werden kann.

Beispielsweise beträgt die DRAM-Speicherkapazität gemäß der aktuellen DRAM-Herstellungstechnik, die auf einem Einzel-Halbleiterchip ausgebildet werden kann, 16 Megabits (=2 Megabytes). Dagegen benötigt eine CPU üblicher Leistung gegenwärtig einen Halbleiterspeicher mit einer Speicherkapazität von ungefähr 8 bis 16 Megabytes. Es ist bekannt, daß Benutzer von Personalcomputern die erforderlichen Speicherkapazitäten durch das Hinzufügen von DRAMs sicherstellen.

Mit dem Fortschreiten der Entwicklung auf dem Gebiet der Halbleitertechnologie ist es empirisch durch den Namen "Amdahl's Law" bekannt, daß die Leistung der CPU und die Speicherkapazität des Halbleiterspeichers, die von der CPU gefordert wird, proportional zueinander sind. Selbst wenn sich die Halbleitertechnologie in Zukunft weiter entwickelt, wird demnach mit dem Aufbau der Vorrichtung 152, bei der der Verarbeitungsabschnitt 166 mit einer CPU und der Speicherabschnitt 167 mit einem DRAM in einem Einzel-Halbleiterchip ausgebildet sind, immer noch das Problem verbunden sein, daß Speicherkapazität fehlt.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Datenverarbeitungsvorrichtung auszugestalten, die die Verarbeitungsgeschwindigkeit kompatibel verbessern und die für den Halbleiterspeicher erforderliche Speicherkapazität sicherstellen kann.

Diese Aufgabe wird gemäß einer ersten Ausgestaltung der Erfindung durch eine Datenverarbeitungsvorrichtung gelöst, die m ($m \geq 2$) Verarbeitungsabschnitte, m Speicherabschnitte und eine Querverbindung zur Verbindung der m Verarbeitungsabschnitte und der m Speicherabschnitte aufweist, wobei die m Verarbeitungsabschnitte jeweils m CPUs umfassen und die m Speicherabschnitte jeweils m Halbleiterspeicher umfassen.

Die m Halbleiterspeicher können eine Folge von Datensignalen mit N-Bit-Breite ($N \geq 2$) einschließlich eines Programms zur Definition der Verarbeitungsvorgänge der m CPUs speichern, wobei Datensignale in m Scheibensignale eingeteilt werden, die jeweils Bitbreiten L_1, L_2, \dots, L_m ($L_1, L_2, \dots, L_m \geq 1$; $L_1 + L_2 + \dots + L_m = N$) aufweisen und die m Scheibensignale jeweils den m Halbleiterspeichern zugeordnet werden können, und die m CPUs lesen die in den gesamten m Halbleiterspeichern gespeicherten Datensignale mit N-Bit-Breite aufeinander folgend und führen aufeinanderfolgend Verarbeitungen auf der Grundlage der Datensignale mit N-Bit-Breite aus, wobei in Paare, die jeweils einen der m Verarbeitungsabschnitte und einen der m Speicherabschnitte enthalten, jeweils in m separaten Einzel-Halbleiterchips ausgebildet sind, die voneinander getrennt sind.

Gemäß einer zweiten Ausgestaltung liest jede der m CPUs in der Datenverarbeitungsvorrichtung die in den gesamten m Halbleiterspeichern gespeicherten Datensignale mit N-Bit-Breite und führt aufeinanderfolgend Verarbeitungen auf der Grundlage der Datensignale mit N-Bit-Breite aus, und infolgedessen führen die m CPUs die gleichen Verarbeitungen aus.

Gemäß einer dritten Ausgestaltung umfassen die m Verarbeitungsabschnitte in der Datenverarbeitungsvorrichtung ferner m erste Schnittstellen, die jeweils mit den m CPUs verbunden sind, die m Speicherabschnitte umfassen ferner m zweite Schnittstellen, die jeweils mit den m Halbleiterspeichern verbunden sind, und die Querverbindung verbindet die m ersten und zweiten Schnittstellen zur Verbindung jeder der m CPUs mit allen m Halbleiterspeichern.

Die m zweiten Schnittstellen lesen jeweils die m Scheibensignale aus den m Halbleiterspeichern, und jede der m ersten Schnittstellen empfängt alle m Scheibensignale, die

jeweils durch die m zweiten Schnittstellen gelesen wurden, und rekonfiguriert die Datensignale mit N -Bit-Breite, und gibt dann die Datensignale mit N -Bit-Breite in eine der m CPUs ein, die zu einem der m Verarbeitungsabschnitte gehört und diesem gemeinsam ist, wobei die ersten und die zweiten Schnittstellen die Bitbreiten L_1, L_2, \dots, L_m im Ansprechen auf ein von außen eingegebenes Auswahlsignal veränderbar einstellen.

Gemäß einer vierten Ausgestaltung ist jeder der m Halbleiterspeicher in der Datenverarbeitungsvorrichtung lesbar und beschreibbar, und die m ersten Schnittstellen schneiden jeweils m Ausschnittssignale jeweils mit den Bitbreiten L_1, L_2, \dots, L_m aus, die aus den aus den m CPUs ausgegebenen m N -Bit-Breiten Datensignalen veränderbar eingestellt wurden, und führen die m Ausschnittssignale jeweils den m zweiten Schnittstellen zu.

Die m zweiten Schnittstellen schreiben jeweils die m Ausschnittssignale als m Scheibensignale in die m Halbleiterspeicher, wobei, wenn die m Ausschnittssignale jeweils von den m ersten Schnittstellen zu den m Halbleiterspeichern über die m zweiten Schnittstellen übertragen werden, jedes der m Ausschnittssignale innerhalb des gleichen der m Einzel-Halbleiterchips übertragen wird.

Gemäß einer fünften Ausgestaltung ist jeder der m Halbleiterspeicher in der Datenverarbeitungsvorrichtung lesbar und beschreibbar, und wenn die m CPUs die Datensignale mit N -Bit-Breite in die m Halbleiterspeicher schreiben, schreiben die m CPUs jeweils die durch Einteilen der Datensignale in Bitscheiben ausgebildeten m Scheibensignale in die m Halbleiterspeicher, wobei, wenn die m Scheibensignale jeweils von den m CPUs zu den m Halbleiterspeichern übertragen werden, jedes der m Scheibensignale innerhalb des gleichen der m Einzel-Halbleiterchips übertragen wird.

Gemäß einer sechsten Ausgestaltung liest jede der m CPUs in der Datenverarbeitungsvorrichtung lediglich eines der m Scheibensignale mit einer Bitbreite L_i (i Element aus $1, 2, \dots, m$), das in einem der m Halbleiterspeicher gespeichert ist, der in einem der m Einzel-Halbleiterchips mit diesem gemeinsam ausgebildet ist, und zumindest die Gesamtheit der m CPUs führt aufeinander folgend eine Verarbeitung auf der Grundlage der Datensignale mit N -Bit-Breite aus.

Gemäß einer siebten Ausgestaltung umfaßt jede der m CPUs in der Datenverarbeitungsvorrichtung einen Dekodierabschnitt und einen Ausführungsabschnitt, und jedesmal, wenn der Dekodierabschnitt eines der m Scheibensignale dekodiert, führt der Dekodierabschnitt die erhaltenen Dekodierinformationen allen anderen CPUs zu und empfängt durch alle anderen CPUs erhaltene Dekodierinformationen zur Vervollständigung der Dekodierung der Datensignale mit N -Bit-Breite, und der Ausführungsabschnitt empfängt in dem Dekodierabschnitt erhaltene dekodierte Ergebnisse der Datensignale mit N -Bit-Breite als Eingangssignal zur Ausführung einer Verarbeitung auf der Grundlage der Datensignale von N -Bit-Breite.

Gemäß einer achten Ausgestaltung umfaßt jede der m CPUs in der Datenverarbeitungsvorrichtung einen Abrufabschnitt und einen Ausführungsabschnitt, und jedesmal, wenn der Abrufabschnitt eines der m Scheibensignale abrufen, führt der Abrufabschnitt erhaltene Abrufinformationen allen anderen CPUs zu, und der Ausführungsabschnitt führt eine Verarbeitung auf der Grundlage der Datensignale über die von dem Abrufabschnitt und allen anderen CPUs erhaltenen Abrufinformationssignale aus.

Gemäß einer neunten Ausgestaltung sind die Bitbreiten L_1, L_2, \dots, L_m in der Datenverarbeitungsvorrichtung derart eingestellt, daß gilt $L_1 = L_2 = \dots = L_m$.

Gemäß einer zehnten Ausgestaltung der Erfindung um-

faßt eine Datenverarbeitungsvorrichtung m ($m \geq 2$) Verarbeitungsabschnitte, m Speicherabschnitte und eine Querverbindung zur Verbindung der m Verarbeitungsabschnitte und der m Speicherabschnitte, wobei die m Verarbeitungsabschnitte jeweils m Logikschaltungen umfassen, die m Speicherabschnitte jeweils m Halbleiterspeicher umfassen, und die m Halbleiterspeicher eine Speicherkapazität von einem Megabit oder mehr aufweisen und eine Folge von Datensignalen mit N -Bit-Breite ($N \geq 2$) speichern können, wobei die Datensignale in m Scheibensignale jeweils mit Bitbreiten L_1, L_2, \dots, L_m ($L_1, L_2, \dots, L_m \geq 1$; $L_1 + L_2 + \dots + L_m = N$) eingeteilt werden und die in Scheibensignale jeweils den m Halbleiterspeichern zuordenbar sind.

Den m Logikschaltungen werden aufeinanderfolgend die in den gesamten m Halbleiterspeichern gespeicherten Datensignale mit N -Bit-Breite zugeführt, und die m Logikschaltungen führen aufeinanderfolgend Verarbeitungen auf der Grundlage der Datensignale mit N -Bit-Breite aus, wobei in Paare, die jeweils einen der m Verarbeitungsabschnitte und einen der m Speicherabschnitte enthalten, jeweils in einem separaten Einzel-Halbleiterchip ausgebildet sind.

Gemäß der Vorrichtung der ersten Ausgestaltung werden Datensignale unter m (einer Vielzahl von) Halbleiterspeichern belegt und darin in einer Bit-Scheiben-Form gespeichert, und m (eine Vielzahl von) CPUs können als Gesamtheit oder einzeln die Datensignale mit N -Bit-Breite, die in den gesamten m Halbleiterspeichern gespeichert sind, über die Querverbindung verwenden. Dies stellt eine Speicherkapazität als Halbleiterspeicherkapazität zur Verwendung durch die m CPUs sicher, die um ein m -faches gegenüber der eines Halbleiterspeichers vergrößert ist, der in einem Einzel-Halbleiterchip ausgebildet ist.

Da des weiteren jeder Einzel-Halbleiterchip eine CPU enthält, ist zur Verbindung der einzelnen Einzel-Halbleiterchips lediglich eine Querverbindung zur Übertragung von Datensignalen von den m Halbleiterspeichern zu den m CPUs oder eine Querverbindung zum Austauschen von Informationssignalen zwischen den m CPUs erforderlich. Dadurch wird kein Problem durch eine Verzögerung bei der Übertragung anderer Signale, wie Adresssignalen, verursacht. Da ferner an jedem Einzel-Halbleiterchip angebrachte Pins ausschließlich für die Querverbindung zur Übertragung der Datensignale oder Informationssignale verwendet werden können, ist es möglich, die Bitbreite dieser Signale zu erweitern. Dies verbessert die Übertragungsgeschwindigkeit der Vorrichtung.

Gemäß der Vorrichtung der zweiten Ausgestaltung führt jede der m CPUs eine Verarbeitung auf der Grundlage eines in den gesamten m Halbleiterspeichern gespeicherten N -Bit-Breiten Datensignals aus. Es ist dann nicht erforderlich, Informationssignale zwischen den m CPUs auszutauschen, wodurch der Vorrichtungsaufbau vereinfacht und somit die Vorrichtungskonstruktion erleichtert wird.

Gemäß der Vorrichtung der dritten Ausgestaltung können die ersten Schnittstellen und die zweiten Schnittstellen die Größen der Bitbreiten L_1, L_2, \dots, L_m gemäß einem Auswahlsignal verändern. Demnach ist es möglich, Datenverarbeitungsvorrichtungen vieler Arten mit unterschiedlichen Bitbreiten L_1, L_2, \dots, L_m unter Verwendung von Halbleiterchips auszubilden, die jeweils einen Verarbeitungsabschnitt und einen Speicherabschnitt aufweisen. Dies ermöglicht die Herstellung von Datenverarbeitungsvorrichtungen mit geringen Kosten.

Gemäß der Vorrichtung der vierten Ausgestaltung ist jeder der m Halbleiterspeicher ein lesbarer und beschreibbarer Speicher, wie ein DRAM, wobei die Bitbreiten geschriebener Datensignale gelesenen Bitbreiten L_1, L_2, \dots, L_m entsprechen und variabel sind. Dies ermöglicht den m CPUs

die Speicherung von durch Verarbeitungsvorgänge erhaltenen Datensignalen in den m Halbleiterspeichern, und sie aus den m Halbleiterspeichern zur Verwendung bei der Verarbeitung zu lesen. Des weiteren werden die Datensignale beim Schreiben innerhalb des gleichen Halbleiterchips ausgetauscht, so daß kein Problem durch eine Übertragungsverzögerung der Datensignale beim Schreiben auftritt. Das heißt, es kann eine Datenverarbeitungsvorrichtung mit hoher Verarbeitungsgeschwindigkeit und guter Anwendbarkeit mit geringen Kosten erzeugt werden.

Gemäß der Vorrichtung der fünften Ausgestaltung ist jeder der m Halbleiterspeicher ein lesbarer und beschreibbarer Speicher wie ein DRAM, wobei die Bitbreiten geschriebener Datensignale gelesenen Bitbreiten L_1, L_2, \dots, L_m entsprechen. Dies ermöglicht den m CPUs die Speicherung von durch Verarbeitungsvorgänge erhaltenen Datensignalen in den m Halbleiterspeichern und das Lesen dieser aus den m Halbleiterspeichern zur Verwendung bei den Verarbeitungsvorgängen. Ferner werden die Datensignale beim Schreiben innerhalb des gleichen Halbleiterchips ausgetauscht, so daß kein Problem durch eine Übertragungsverzögerung der Datensignale beim Schreiben verursacht wird. Das heißt, es kann eine Datenverarbeitungsvorrichtung mit hoher Verarbeitungsgeschwindigkeit und guter Brauchbarkeit geschaffen werden.

Gemäß der Vorrichtung der sechsten Ausgestaltung liest jede der m CPUs lediglich die Datensignale, die in dem auf dem gleichen Einzel-Halbleiterchip ausgebildeten Halbleiterspeicher gespeichert sind, wodurch die Übertragungsgeschwindigkeit der von den Halbleiterspeichern zu den CPUs übertragenen Datensignale verbessert wird. Dies verkürzt die zum Abrufen erforderliche Zeit, was einen der zeitaufwendigsten Zyklen bei den Bearbeitungszyklen der CPU darstellt.

Gemäß der Vorrichtung der siebten Ausgestaltung tauschen die m CPUs beim Vorgang der Dekodierung erforderliche Informationssignale aus, was in kurzer Zeit erreicht werden kann, so daß sie keine Informationssignale in dem zeitaufwendigen Vorgang der Verarbeitung durch die Ausführungsabschnitte austauschen müssen. Somit trägt die Verkürzung der Zeit zum Abrufen wirksam zur Verbesserung der Verarbeitungsgeschwindigkeit der CPUs ohne Erhöhung der Bearbeitungszeit für die Ausführungsabschnitte bei.

Gemäß der Vorrichtung der achten Ausgestaltung tauschen die m CPUs aus den Abrufabschnitten aus gegebene Abrufinformationssignale aus, was die Vorrichtungsstruktur vereinfacht. Ferner kann der Austausch von Abrufinformationssignalen in dem Vorgang der Dekodierung abgeschlossen werden, der in kurzer Zeit erreicht werden kann. In diesem Fall trägt die Verkürzung der Zeit zum Abrufen effektiv zur Verbesserung der Verarbeitungsgeschwindigkeit der CPUs ohne Erhöhung der Bearbeitungszeit für die Ausführungsabschnitte bei.

Gemäß der Vorrichtung der neunten Ausgestaltung werden Datensignale gleichmäßig in Bitscheiben eingeteilt, so daß m Einzel-Halbleiterchips bezüglich ihrer Hauptbestandteile gleich aufgebaut werden können. Dadurch werden die Kosten für die Herstellung der Datenverarbeitungsvorrichtung verringert.

Gemäß der Vorrichtung der zehnten Ausgestaltung werden Datensignale unter m (einer Vielzahl von) Halbleiterspeichern zugeordnet und darin in einer Bit-Scheiben-Form gespeichert, und m (eine Vielzahl von) Logikschaltungen können als Gesamtheit oder einzeln die in den gesamten m Halbleiterspeichern gespeicherten Datensignale mit N -Bit-Breite über die Querverbindung verwenden. Dies stellt eine Speicherkapazität, die um das m -fache der Speicherkapazität

eines in einem Einzel-Halbleiterchip ausgebildeten Halbleiterspeichers erweitert ist, als Halbleiterspeicherkapazität sicher, die die m Logikschaltungen verwenden können.

Da ferner jeder Einzel-Halbleiterchip eine Logikschaltung enthält, ist für die einzelne Einzel-Halbleiterchips verbindende Querverbindung lediglich die Querverbindung zur Übertragung von Datensignalen von den in Halbleiterspeichern zu den m Logikschaltungen erforderlich. Demnach wird durch eine Verzögerung der Übertragung von von den Datensignalen verschiedenen Signalen kein Problem verursacht. Da ferner an jeden Einzel-Halbleiterchip angebrachte Pins ausschließlich für die Querverbindung zur Übertragung der Datensignale von den m Halbleiterspeichern zu den m Logikschaltungen verwendet werden können, ist es möglich, die Bitbreite der Datensignale zu vergrößern. Dadurch wird die Übertragungsgeschwindigkeit der Datensignale und somit die Verarbeitungsgeschwindigkeit der Vorrichtung verbessert.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die beiliegende Zeichnung näher beschrieben. Es zeigen:

Fig. 1 ein schematisches Blockschaltbild einer Vorrichtung gemäß einem ersten bevorzugten Ausführungsbeispiel,

Fig. 2 ein ausführliches Blockschaltbild der Vorrichtung des ersten bevorzugten Ausführungsbeispiels,

Fig. 3 ein Blockschaltbild eines anderen Beispiels der Vorrichtung gemäß dem ersten bevorzugten Ausführungsbeispiel,

Fig. 4 ein Blockschaltbild einer Vorrichtung gemäß einem zweiten bevorzugten Ausführungsbeispiel,

Fig. 5 ein Blockschaltbild der CPU des zweiten bevorzugten Ausführungsbeispiels,

Fig. 6 eine erläuternde Darstellung der Vorgänge bei einer Pipeline-Verarbeitung durch die CPU des zweiten bevorzugten Ausführungsbeispiels,

Fig. 7 eine erläuternde Darstellung eines Verarbeitungsvorgangs bei einem Befehlszyklus der CPU des zweiten bevorzugten Ausführungsbeispiels,

Fig. 8 ein Blockschaltbild eines weiteren Beispiels der CPU des zweiten bevorzugten Ausführungsbeispiels,

Fig. 9 ein Blockschaltbild einer Einrichtung gemäß einem dritten bevorzugten Ausführungsbeispiel,

Fig. 10 ein Blockschaltbild einer Einrichtung gemäß einem vierten bevorzugten Ausführungsbeispiel,

Fig. 11 eine Darstellung eines Beispiels einer Bit-/Wortkonfiguration für die Vorrichtung gemäß dem vierten bevorzugten Ausführungsbeispiel,

Fig. 12 eine Darstellung eines erwünschteren Beispiels der Bit-/Wortkonfiguration für die Vorrichtung des vierten bevorzugten Ausführungsbeispiels,

Fig. 13 ein Blockschaltbild eines Aufbaus einer herkömmlichen Vorrichtung und

Fig. 14 ein Blockschaltbild eines anderen Beispiels eines Aufbaus einer herkömmlichen Vorrichtung.

Erstes bevorzugtes Ausführungsbeispiel

Nachstehend wird eine Datenverarbeitungsvorrichtung gemäß einem ersten bevorzugten Ausführungsbeispiel beschrieben.

1-1) Übersicht über den Aufbau

Fig. 1 zeigt ein Blockschaltbild des groben Aufbaus einer Datenverarbeitungsvorrichtung gemäß einem ersten bevorzugten Ausführungsbeispiel. Diese Vorrichtung 101 weist ein Substrat 9 auf, auf dem zwei Datenverarbeitungseinrichtungen 10a, 10b parallel zueinander verbunden sind. Die

Einrichtung 10a ist auf einem Einzel-Halbleiterchip und die Einrichtung 10b auf einem anderen Einzel-Halbleiterchip ausgebildet. Jede Einrichtung 10a und 10b weist einen Verarbeitungsabschnitt 11 und einen Speicherabschnitt 12 auf.

Jeder Verarbeitungsabschnitt 11 weist eine CPU auf, die Verarbeitungsvorgänge bei den Datensignalen in Einheit von 32 Bits bzw. 32-Bit-weise ausführt. Der Verarbeitungsabschnitt 11 empfängt Datensignale in Einheit von 32 Bits über Anschlüsse R0 bis R31. An seinen Ausgangsanschlüssen gibt der Verarbeitungsabschnitt 11 Datensignale in Einheiten von 16 Bits, die Hälfte von 32 Bits, über Anschlüsse W0 bis W15 oder Anschlüsse W16 bis W31 aus.

Jeder Speicherabschnitt 12 weist einen DRAM mit einer Speicherkapazität auf, die 1 Megabit überschreitet. Datensignale werden in den Speicherabschnitt 12 in Einheiten von 16 Bits über Anschlüsse W0 bis W15 geschrieben, und Datensignale werden in Einheiten von 16 Bits über Anschlüsse R0 bis R15 gelesen. Der "Anschluß" zeigt zweckmäßig einen an dem Halbleiterchip vorgesehenen Punkt in der Querverbindung auf, der anders als ein Pin zum Weitergeben von Signalen zu oder von der Außenseite keine besonders große Fläche beansprucht. Demnach ist die Anzahl von Anschlüssen nicht wie die Pins begrenzt.

Die Einrichtungen 10a und 10b sind mit Querverbindungen 20 bis 23 ausgestattet. In jeder Einrichtung 10a und 10b werden aus den Anschlüssen A0 bis A15 des Verarbeitungsabschnitts 11 ausgegebene Adreßsignale zu Anschlüssen A0 bis A15 des Speicherabschnitts 12 über die Querverbindung 20 übertragen. Die Adreßsignale sind Signale zur Bestimmung von Speicherzellen in dem DRAM in dem Speicherabschnitt 12. Aus den Anschlüssen W0 bis W15 oder den Anschlüssen W16 bis W31 des Verarbeitungsabschnitts 11 ausgegebene Datensignale werden zu den Anschlüssen W0 bis W15 des Speicherabschnitts 12 über die Querverbindung 21 übertragen.

Von den Anschlüssen R0 bis R15 des Speicherabschnitts 12 in der Einrichtung 10a gelesene Datensignale werden zu den Anschlüssen R0 bis R15 der Verarbeitungsabschnitte 11, die zu den Einrichtungen 10a, 10b gehören, über die Querverbindung 22 übertragen. Von den Anschlüssen R0 bis R15 des Speicherabschnitts 12 in der anderen Einrichtung 10b gelesene Datensignale werden zu den Anschlüssen R16 bis R31 der Verarbeitungsabschnitte 11, die zu den Einrichtungen 10a, 10b gehören, über die Querverbindung 23 übertragen.

Der in jedem Speicherabschnitt 12 enthaltene DRAM enthält für die CPU in dem Verarbeitungsabschnitt 11 erforderliche Programme und Daten zur Durchführung von Verarbeitungsvorgängen. Die niederwertigen 16 Bits und die höherwertigen 16 Bits, die ein durch die Verarbeitungsabschnitte 11 gelesenes und geschriebenes 32-Bit-breites Datensignal bilden, werden in den Speicherabschnitten 12 gespeichert, die jeweils zu den zwei Einrichtungen 10a, 10b gehören. Das heißt, durch die Verarbeitungsabschnitte 11 gelesene und geschriebene Datensignale werden in Bitscheiben eingeteilt und separat in den Speicherabschnitten 12 gespeichert.

Ein 32-Bit-breites Datensignal wird gemeinsam in die Verarbeitungsabschnitte 11 über die Querverbindungen 22 und 23 eingegeben. Daher führen die CPUs in den Verarbeitungsabschnitten 11 die vollständig gleichen Verarbeitungsvorgänge in beiden Einrichtungen 10a und 10b durch. In dem als Ergebnis der gleichen Verarbeitungsvorgänge erhaltenen Datensignal werden beispielsweise die niederwertigen 16 Bits in den Speicherabschnitt 12 von den Anschlüssen W0 bis W15 des Verarbeitungsabschnitts 11 in der Einrichtung 10a geschrieben, und die höherwertigen 16 Bits werden in den Speicherabschnitt 12 von den Anschlüssen

W16 bis W31 des Verarbeitungsabschnitts 11 in der Einrichtung 10b geschrieben.

Das heißt, die zu den Einrichtungen 10a und 10b gehörenden Verarbeitungsabschnitte 11 nutzen gemeinsam die zwei Speicherabschnitte 12. Somit kann jeder Verarbeitungsabschnitt 11 eine Speicherkapazität ausnutzen, die zweimal größer als die Speicherkapazität eines einzelnen Speicherabschnitts 12 ist. Das heißt, es ist möglich, daß jeder Verarbeitungsabschnitt 11 einen verfügbaren Halbleiterspeicherplatz über die Begrenzung eines Einzel-Halbleiterchips sicherstellen kann.

Ferner werden bei den zwischen dem Verarbeitungsabschnitt 11 und dem Speicherabschnitt 12 ausgetauschten Datensignalen Datensignale, die von dem Verarbeitungsabschnitt 11 in den Speicherabschnitt 12 geschrieben werden, innerhalb eines Einzel-Halbleiterchips übertragen, ohne daß sie über eine Querverbindung weitergereicht werden müssen, die außerhalb des Einzel-Halbleiterchips vorgesehen ist. Demnach entsteht kein Problem durch Verzögerungen bei der Übertragung der geschriebenen Datensignale. Da ferner auch Adreßsignale über die Querverbindungen 20 übertragen werden, die jeweils im Inneren eines Einzel-Halbleiterchips ausgebildet sind, entsteht auch kein Problem durch Verzögerungen bei der Übertragung von Adreßsignalen.

Da es ferner nicht erforderlich ist, geschriebene Datensignale zur Außenseite eines Einzel-Halbleiterchips auszugeben, und es auch nicht erforderlich ist, die Querverbindungen 20 zur Übertragung von Adreßsignalen nicht nach außen auszudehnen, können die an einem Einzel-Halbleiterchip befestigbaren Pins ausschließlich zum Weitergeben der in die Anschlüsse R0 bis R31 der Verarbeitungsabschnitte 11 eingegebenen Datensignale verwendet werden. Demnach können Datensignale mit einer erhöhten Anzahl von Bits in die Verarbeitungsabschnitte 11 gleichzeitig und parallel eingegeben werden. Das heißt, die Erhöhung der Bitbreite der eingegebenen Datensignale ist möglich.

Dadurch wird die Übertragungsgeschwindigkeit der Datensignale verbessert, und es ist auch möglich, die Bitbreite als Verarbeitungseinheit der CPU beispielsweise auf eine Breite von 64 Bits oder 128 Bits zu erhöhen. Dies verbessert des weiteren die Verarbeitungsgeschwindigkeit der Vorrichtung.

Das heißt, die Vorrichtung 101 kann eine Speicherkapazität für die Verarbeitungsabschnitte 11 über die Beschränkung eines Einzel-Halbleiterchips unter Beibehaltung der hohen Verarbeitungsgeschwindigkeit der Vorrichtung sicherstellen. Das heißt, es ist möglich, die zwei Probleme, die durch die herkömmlichen Vorrichtungen 151 und 152 gleichzeitig nicht vermieden werden können, gleichzeitig zu vermindern oder zu lösen.

1-2) Ausführlicher Aufbau

Fig. 2 zeigt ein ausführliches Blockschaltbild des Aufbaus der Vorrichtung 101. Wie es in Fig. 2 gezeigt ist, enthält jeder Verarbeitungsabschnitt 11 eine Eingabe-/Ausgabebusschnittstelle 2 und eine CPU-Busschnittstelle 3, sowie eine CPU 1. Jeder Speicherabschnitt 12 enthält eine Speicherbusschnittstelle 5 und einen Cache-Speicher 6 sowie einen DRAM (dynamischen Schreib-Lese-Speicher) 4. Die CPUs 1 in den Einrichtungen 10a und 10b werden gemeinsam mit einem in einem Taktgeneratorabschnitt 25 erzeugten Taktsignal über eine Taktquerverbindung 27 versorgt. Jede CPU 1 führt Verarbeitungsvorgänge in Schritten synchronisiert mit dem Taktsignal aus.

Die zu den Einrichtungen 10a und 10b gehörenden Verarbeitungsabschnitte 11 sind mit einer externen Busleitung 29,

die außerhalb der Vorrichtung 101 vorgesehen ist, über an dem Substrat 9 ausgebildete Anschlüsse 26 verbunden. Dies ermöglicht den Austausch von Datensignalen zwischen den Verarbeitungsabschnitten 11 und der externen Busleitung 29.

Jede Eingabe-/Ausgabeschnittstelle 2 in jedem Verarbeitungsabschnitt 11 ist ein Vorrichtungsabschnitt, der als Schnittstelle zwischen der CPU 1 und der externen Busleitung 29 dient. Der Aufbau der Eingabe-/Ausgabeschnittstelle 2 selbst wird hier nicht ausführlich beschrieben, da er allgemein bekannt ist. Die CPU 1 ist eine sogenannte 32-Bit-CPU, die Verarbeitungen bzw. Operationen in Einheiten von 32 Bits wie vorstehend angeführt ausführt. In diesem Fall werden Datensignale in Einheiten von 32 Bits zwischen der CPU 1, der Eingabe-/Ausgabeschnittstelle 2, dem Anschluß 26 und der externen Busleitung 29 übertragen. Das heißt, es werden 32-Bit-breite Datensignale übertragen. Der Aufbau der CPU 1 ist allgemein bekannt.

Die andere in dem Verarbeitungsabschnitt 11 vorgesehene Schnittstelle, die CPU-Busschnittstelle 3, dient als Schnittstelle zwischen der CPU 1 und dem Speicherabschnitt 12. Die CPU-Busschnittstelle 3 gibt wahlweise lediglich die höherwertigen 16 Bits oder niederwertigen 16 Bits in dem aus der CPU 1 aus gegebenen 32-Bit-breiten Datensignal zu der Querverbindung 21 aus. Das heißt, die zu der Einrichtung 10a gehörende CPU-Busschnittstelle 3 wählt die niederwertigen 16 Bits und die zu der Einrichtung 10b gehörende CPU-Busschnittstelle 3 wählt die höherwertigen 16 Bits aus.

Die CPU-Busschnittstelle 3 überträgt auch über die Querverbindungen 22 und 23 eingegebene 32-Bit-breite Datensignale vollständig, d. h. mit der Breite von 32 Bits zu der CPU 1. Die CPU-Busschnittstelle weist den gleichen Aufbau wie die herkömmliche bekannte CPU-Busschnittstelle auf, abgesehen davon, daß sie bei der Ausgabe die Bitbreite auswählt (abschneidet).

Eine Gruppe von Befehlen für die CPU 1 zur Ausführung von Verarbeitungsvorgängen bzw. ein Programm ist in jedem DRAM 4 gespeichert, der den Hauptteil jedes Speicherabschnitts 12 bildet. Der DRAM 4 kann auch Daten, die durch die CPU 1 ausgeführte Verarbeitungsvorgänge erhalten werden, wie erforderlich speichern. Demnach enthalten von dem DRAM 4 gelesene Datensignale das Programm bildende Befehle.

Daher weist der DRAM 4 eine Speicherkapazität von zumindest einem Megabit auf, und beispielsweise hat er eine Kapazität von 16 Megabits (=2 Megabytes). Das heißt, obwohl der DRAM 4 eine flüchtige Halbleiterspeichereinrichtung sowie ein in der CPU 1 vorgesehenes Register zum vorübergehenden Speichern von Datensignalen ist, unterscheidet er sich deutlich davon in seiner Rolle und erforderlichen Speicherkapazität.

Jeder Cache-Speicher 6 ist zur Erhöhung der Geschwindigkeit zum Lesen von Datensignalen aus dem DRAM 4 vorgesehen. Jede Speicherbusschnittstelle 5 ist ein Vorrichtungsabschnitt, der als Schnittstelle zwischen dem DRAM 4 und dem Verarbeitungsabschnitt 11 dient. Der Aufbau des DRAMs 4, des Cache-Speichers 6 und der Speicherbusschnittstelle 5 sind hier nicht ausführlich beschrieben, da dies alles bekannte Vorrichtungsabschnitte sind.

Die Speicherbusschnittstelle 5, der Cache-Speicher 6 und der DRAM 4 tauschen 16-Bit-breite Datensignale aus. Die niederwertigen 16 Bits in einem aus der CPU-Busschnittstelle 3 für die Einrichtung 10a zu der Querverbindung 21 ausgegebenen Datensignal werden in die Speicherbusschnittstelle 5 eingegeben. Dieses Signal wird dann über den Cache-Speicher 6 in den DRAM 4 geschrieben.

Niederwertige 16 Bits in den das Programm bildenden

32-Bit-breiten Befehlen werden zuvor in dem DRAM 4 für die Einrichtung 10a gespeichert. Gleichmaßen werden höherwertige 16 Bits in den 32-Bit-breiten Befehlen zuvor in dem DRAM 4 für die Einrichtung 10b gespeichert.

Dann führt der Speicherabschnitt 12 für die Einrichtung 10a die niederwertigen 16-Bit-Befehle den CPU-Busschnittstellen 3 in beiden Einrichtungen 10a und 10b über die Querverbindung 22 über den Cache-Speicher 6 und die Speicherbusschnittstelle 5 zu. Gleichmaßen führt der Speicherabschnitt 12 für die Einrichtung 10b die höherwertigen 16-Bit-Befehle den CPU-Busschnittstellen 3 in beiden Einrichtungen 10a und 10b über die Querverbindung 23 über den Cache-Speicher 6 und die Speicherbusschnittstelle 5 zu.

Die 32-Bit-breiten Datensignale, die die CPUs 1 schreiben und lesen, werden somit in den zwei DRAMs 4 ohne Überlappung verteilt und gespeichert. Das heißt, die Vielzahl der DRAMs 4 speichert die Datensignale, deren Bitbreite in eine Vielzahl von Gruppen (d. h. in Bitscheiben) eingeteilt ist.

Der gleiche 32-Bit-breite Befehl wird gemeinsam in beide zu den Einrichtungen 10a und 10b gehörende CPUs 1 eingegeben. Demnach führen die zwei CPUs 1 gleichzeitig vollständig gleiche Verarbeitungsvorgänge synchron mit dem gemeinsamen Taktsignal aus. Infolgedessen geben die zwei CPUs 1 gleichzeitig vollständig gleiche Datensignale aus. Die von den CPUs 1 zu den CPU-Busschnittstellen 3 ausgegebenen Datensignale werden wie vorstehend beschrieben in Bitscheiben eingeteilt und dann zu den Speicherabschnitten 12 übertragen.

Die aus den CPUs 1 zu den Eingabe-/Ausgabeschnittstellen 2 ausgegebenen Datensignale werden vollständig, d. h. in der Breite von 32 Bits, zu der externen Busleitung 29 gesendet. Daher werden die gleichen Datensignale gleichzeitig aus den Einrichtungen 10a und 10b auf die externe Busleitung 29 ausgegeben. Alternativ dazu können die Eingabe-/Ausgabeschnittstellen 2 derart aufgebaut sein, daß lediglich eine der Einrichtungen 10a und 10b das Datensignal auf die externe Busleitung 29 gibt.

Wie die CPU-Busschnittstellen 3 können die Eingabe-/Ausgabeschnittstellen 2 zur Einteilung der aus den CPUs 1 aus gegebenen Datensignale in Bitscheiben und dann zu deren Ausgabe zu der externen Busleitung 29 ausgebildet sein. Beispielsweise können die Eingabe-/Ausgabeschnittstellen 2 derart aufgebaut sein, daß die niederwertigen 16 Bits aus der Eingabe-/Ausgabeschnittstelle 2 in der Einrichtung 10a ausgegeben werden, und die höherwertigen 16 Bits aus der Eingabe-/Ausgabeschnittstelle 2 in der Einrichtung 10b zu der externen Busleitung 29 ausgegeben werden.

Von der externen Busleitung 29 in die CPUs 1 eingegebene Datensignale werden gleichzeitig beiden Einrichtungen 10a und 10b mit einer Breite von 32 Bits zugeführt. Dadurch können die zwei CPUs 1 für die Einrichtungen 10a und 10b immer die gleichen Verarbeitungsvorgänge zur gleichen Zeit ausführen.

Wie es vorstehend beschrieben ist, kann die Vorrichtung 101 durch Kombinationen bekannter herkömmlicher Vorrichtungsabschnitte ausgebildet werden, abgesehen davon, daß die Vielzahl der Verarbeitungsabschnitte 11 und die Vielzahl der Speicherabschnitte 12 charakteristisch über die Querverbindungen 21 bis 23 verbunden sind, wobei die CPU-Busschnittstellen 3 auf einfache Weise modifiziert sind. Das heißt, anders als die herkömmlichen Vorrichtungen 151 und 152 realisiert die Vorrichtung 101 auf kompatible Weise die Verbesserung der Verarbeitungsgeschwindigkeit der Vorrichtung und die Verbesserung der Speicherkapazität ohne das Erfordernis einer bestimmten komplizierten Struktur.

Die in den Fig. 1 und 2 gezeigte Vorrichtung 101 ist ein Beispiel, bei dem ein 32-Bit-breites Datensignal in zwei Gruppen von 16-Bit-breiten Signalen geschnitten wird ("bitsliced"), und dann in den zwei DRAMs 4 gespeichert wird. Wenn jede CPU 1 Verarbeitungsvorgänge in Einheiten von $N(>2)$ Bits durchführt, kann die Vorrichtung 101 allgemein derart erweitert werden, daß jedes Signal in N/L Gruppen von Signalen mit einer Bitbreite von $L(1 \leq L \leq N/2)$ mittels Bitscheiben eingeteilt wird und in den N/L -DRAMs 4 gespeichert wird. Die in den Fig. 1 und 2 gezeigte Vorrichtung 101 entspricht einem Beispiel mit $N=32$ und $L=16$, bzw. einem Beispiel, bei dem die Anzahl von Gruppen minimal ($=2$) ist.

Je größer die Anzahl von Gruppen ($=N/L$) wird, desto weiter dehnt sich der Speicherplatz, auf den die CPU 1 zugreifen kann (d. h. die Speicherkapazität) aus. Fig. 3 zeigt ein Beispiel mit $N=32$ und $L=8$. Diese Vorrichtung 102 enthält vier Einrichtungen 10e bis 10h. Jede der Einrichtungen 10e bis 10h enthält einen Verarbeitungsabschnitt 13 und einen Speicherabschnitt 14.

Jeder Speicherabschnitt 14 kann Datensignale in Einheiten von 8 Bits lesen und schreiben. Ein Verarbeitungsabschnitt 13 schneidet 8 Bits aus einem 32-Bit-breiten Datensignal aus, das durch die CPU 1 (nicht gezeigt) auszuführende Verarbeitungsvorgänge erhalten wird, die in den zu der gleichen Einrichtung 10e bis 10h gehörenden Speicherabschnitt 14 über die Querverbindung 41 geschrieben werden. In einen Verarbeitungsabschnitt 13 wird ein 32-Bit-breites Datensignal eingegeben, das durch Zusammenfassung von Datensignalen ausgebildet wird, die in einer Breite von 8 Bits aus den Speicherabschnitten 14 über die Querverbindungen 42 bis 45 gelesen werden.

Ist bei dieser Vorrichtung 102 die Fläche eines Einzel-Halbleiterchips und der Grad der Elementintegration gleich bezüglich der Vorrichtung 101, ermöglicht es diese Vorrichtung 102 den CPUs 1, auf einen Speicherplatz zuzugreifen, der zweimal so groß ist wie der in der Vorrichtung 101 vorgesehene. Es besteht kein Unterschied zwischen der Vorrichtung 101 und der Vorrichtung 102 bezüglich der Anzahl von Pins, die für jeden Halbleiterchip zum Senden von aus jedem Speicherabschnitt 14 gelesenen Datensignalen zu den einzelnen Verarbeitungsabschnitten 13 erforderlich sind.

Demnach kann die Vorrichtung 102 die Bitbreite der in die Verarbeitungsabschnitte 13 eingegebenen Datensignale bis auf das gleiche Ausmaß wie bei der Vorrichtung 101 erhöhen. Das heißt, die Vorrichtung 102 ermöglicht es den Verarbeitungsabschnitten, auf einen Speicherplatz bzw. eine Speicherkapazität zuzugreifen, die gegenüber der der Vorrichtung 101 vergrößert ist, während die Übertragungsgeschwindigkeit der Datensignale verglichen mit der der Vorrichtung 101 beibehalten wird.

Obwohl die Fig. 1 bis 3 Beispiele zeigen, in denen ein N -Bit-breites Datensignal gleichmäßig in Signale mit der gleichen Datenbreite L ($<N/2$) geschnitten wird, kann die Vorrichtung auch zum nicht-gleichmäßigen Schneiden der Signale ausgebildet werden. Das heißt, es ist möglich, die Vorrichtung derart aufzubauen, daß ein N -Bit-breites Datensignal in in (>2) Gruppen mit Datenbreiten L_1, L_2, \dots, L_m geschnitten wird. Dann gilt die Beziehung $L_1+L_2+\dots+L_m=N$.

Ist jedoch $L_1=L_2=\dots=L_m=L$, d. h. ist das Signal gleichmäßig in Bitscheiben geschnitten, bietet die Struktur den Vorteil, daß die Einzel-Halbleiterchips (beispielsweise die Einrichtungen 10a, 10b) identisch in den Hauptabschnitten abgesehen von den CPU-Busschnittstellen 3 aufgebaut werden können (Fig. 2).

Fig. 4 zeigt ein Blockschaltbild des Aufbaus einer Datenverarbeitungsvorrichtung gemäß einem zweiten bevorzugten Ausführungsbeispiel. Diese Vorrichtung 103 unterscheidet sich charakteristisch von den Vorrichtungen 101 und 102 des ersten bevorzugten Ausführungsbeispiels darin, daß die zu den Einrichtungen 50a bis 50d gehörenden CPUs 61 zumindest einen Teil der Verarbeitungsvorgänge gemeinsam haben, anstelle die völlig gleichen Verarbeitungsvorgänge durchzuführen.

Die auf dem Substrat 9 vorgesehenen Einrichtungen 50a bis 50d sind jeweils aus einem Einzel-Halbleiterchip gebildet. Jeder Einzel-Halbleiterchip ist mit einem Verarbeitungsabschnitt 51 und einem Speicherabschnitt 14 ausgestattet. Jeder Speicherabschnitt 14 enthält eine Speicherbusschnittstelle 65 und einen Cache-Speicher 66 sowie einen DRAM 64 als Hauptabschnitt. Der DRAM 64, der Cache-Speicher 66 und die Speicherbusschnittstelle 65 sind identisch wie der DRAM 4, der Cache-Speicher 6 und die Speicherbusschnittstelle 5 in Fig. 1 ausgebildet und funktionieren identisch, abgesehen davon, daß sie Datensignale verschiedener Bitbreiten verarbeiten.

Jeder Verarbeitungsabschnitt 51 weist eine Eingabe-/Ausgabebusschnittstelle 2 und CPU-Busschnittstellen 63 und 67 sowie den Hauptabschnitt bzw. die CPU 61 auf. Die CPUs 61 für die Einrichtungen 50a bis 50d werden mit einem in dem Taktgeneratorabschnitt 25 erzeugten Taktsignal gemeinsam über eine nicht gezeigte Taktquerverbindung versorgt. Jede CPU 61 führt Verarbeitungsvorgänge schrittweise synchronisiert mit dem Taktsignal aus. Die zu den Einrichtungen 50a bis 50d gehörenden Verarbeitungsabschnitte 51 können mit einer außerhalb der Vorrichtung 103 vorhandenen (nicht gezeigten) externen Busleitung über Anschlüsse 77 an dem Substrat 9 verbunden werden.

Die CPU 61 vom 32-Bit-Typ, die Eingabe-/Ausgabebusschnittstelle 2, der Anschluß 77 und die externe Busleitung tauschen 32-Bit-breite Datensignale aus. In jeder Einrichtung 50a bis 50d tauschen die CPU 61 und der Speicherabschnitt 14 in Bitscheiben geschnittene 8-Bit-breite Datensignale über die CPU-Busschnittstelle 63 und Querverbindungen 71 und 72 und 81 und 82 aus.

Ferner tauschen die zu den Einrichtungen 50a bis 50d gehörenden CPUs 61 dekodierte Informationssignale oder Abrufinformationssignale miteinander über eine interne Busleitung 75, die CPU-Busschnittstellen 61 und die Querverbindungen 83 und 84 aus. Die Adressierung jedes DRAMs 64 wird mittels eines von der CPU 61 über die Querverbindung 70 gesendeten Adreßsignals erreicht.

Fig. 5 zeigt ein Blockschaltbild des inneren Aufbaus einer CPU 61. Gleichmaßen wie eine bekannte herkömmliche CPU enthält die CPU 61 einen Ausführungsabschnitt 90 und einen Steuerabschnitt 91. Der Steuerabschnitt 91 enthält einen Abrufabschnitt 92 und einen Dekodierabschnitt 93, und der Ausführungsabschnitt 90 enthält einen Verarbeitungsabschnitt 95 und einen Schreibabschnitt 94. Der Abrufabschnitt 92 ist ein Vorrichtungsabschnitt zur Entnahme von in dem DRAM 64 gespeicherten Befehlen über die Querverbindung 82. Die entnommenen Befehle sind nicht die 32-Bit-breiten Befehle, sondern in Bitscheiben geschnittene 8-Bit-breite Teilbefehle, die Teile der Befehle bilden.

Ein entnommener Teilbefehl wird unabhängig in ein dekodiertes Informationssignal durch den Dekodierabschnitt 93 umgewandelt. Da der Teilbefehl nur einen Teil des Befehls bildet, kann der Ausführungsabschnitt 90 die normale Ausführungsverarbeitung nur mit dem dekodierten Informationssignal nicht ausführen. Der Dekodierabschnitt 93 sen-

det daher das dekodierte Informationssignal zu der CPU-Busschnittstelle 67 über die Querverbindung 83.

Die CPU-Busschnittstelle 67 sendet das dekodierte Informationssignal, das von dem Dekodierabschnitt 93 zugeführt wurde, über die Querverbindung 73 zu der internen Busleitung 75. Dieser Vorgang wird auf die gleiche Weise in allen Einrichtungen 50a bis 50d durchgeführt. Das heißt, der internen Busleitung 75 werden die dekodierten Informationssignale von den vier Verarbeitungsabschnitten 51 gleichzeitig zugeführt.

Jeder Dekodierabschnitt 93 empfängt über die CPU-Busschnittstelle 67 und die Querverbindung 84 die dekodierten Informationssignale, die von den anderen drei Dekodierabschnitten 93 auf die interne Busleitung 75 gegeben werden. Dann nimmt der Dekodierabschnitt 93 auf die empfangenen dekodierten Informationssignale Bezug, um schließlich die Dekodierung des 32-Bit-breiten Befehls zu erreichen. Das resultierende dekodierte Signal wird dem Ausführungsabschnitt 90 zugeführt.

Der Ausführungsabschnitt 90 führt eine Ausführungsverarbeitung auf der Grundlage des dekodierten Signals durch. Demnach führen die zu den Einrichtungen 50a bis 50d gehörenden jeweiligen Ausführungsabschnitte 90 die gleiche Verarbeitung auf der Grundlage des gleichen dekodierten Signals durch. Des weiteren werden die Ausführungsverarbeitungen gleichzeitig in Synchronisation mit dem von dem Taktgeneratorabschnitt 25 zugeführten Taktsignal durchgeführt. Die Ausführungsverarbeitungen werden durch die in den Ausführungsabschnitten 90 vorgesehenen Verarbeitungsausführungsabschnitte 95 durchgeführt. Die durch die Ausführungsverarbeitungen erhaltenen Datensignale werden von den Verarbeitungsausführungsabschnitten 95 zu den Schreibabschnitten 94 gesendet.

Jeder Schreibabschnitt 94 schneidet die 32-Bit-breiten Datensignale in eine Breite von 8 Bits und gibt diese dann zu der CPU-Busschnittstelle 63 über die Querverbindung 81 aus, oder der Schreibabschnitt 94 kann das Datensignal vollständig mit 32-Bit-Breite ausgeben, und die CPU-Busschnittstelle 63 kann es in eine Breite von 8 Bits schneiden. Somit teilen sich die zu den Einrichtungen 50a bis 50d gehörenden CPUs 61 anders als die CPUs 1 (Fig. 2) einen Teil der Verarbeitung, anstatt die gesamte Verarbeitung gleichzeitig durchzuführen.

Die Folge der Verarbeitung vom Abrufen bis zum Schreiben wird wiederholt in der Form einer sogenannten Pipeline-Verarbeitung synchron mit dem von dem Taktgeneratorabschnitt 25 zugeführten Taktsignal ausgeführt. Fig. 6 zeigt ein Zeitablaufdiagramm, das die Pipeline-Verarbeitung in der CPU 61 darstellt. Wie es in Fig. 6 gezeigt ist, holt der Abrufabschnitt 92 aufeinanderfolgend Befehle 1, 2, 3, ... aus dem DRAM 64 synchron mit Impulsen des Taktsignals. Das heißt, wie es vorstehend beschrieben ist, holt ein zu einer CPU 61 gehörender Abrufabschnitt 92 Teilbefehle, die einen Teil der Befehle bilden.

Bei der Betrachtung eines Verarbeitungsablaufs eines Befehls, beispielsweise des Befehls 1, wird dieser durch den Abrufabschnitt 92 abgerufen, durch den Dekodierabschnitt 93 dekodiert, durch den Verarbeitungsausführungsabschnitt 95 ausgeführt und durch den Schreibabschnitt 94 seriell mit jedem Impuls des Taktsignals geschrieben. Das heißt, die Folge der Verarbeitungen eines Befehls 1 wird aufeinanderfolgend durch jeden Vorrichtungsabschnitt mit jedem Impuls des Taktsignals ausgeführt.

Dann wird bei dem Impuls des Taktsignals einen Impuls später die Folge der Verarbeitungen des nächsten Befehls 2 aufeinanderfolgend auf die gleiche Weise durchgeführt. Bei der Betrachtung eines Vorrichtungsabschnitts, beispielsweise des Dekodierabschnitts 93, dekodiert dieser demnach

die Befehle 1, 2, 3, ... in der Reihenfolge ohne Unterbrechung mit jedem Impuls des Taktsignals. Die CPU 61 verarbeitet die Befehle nacheinander entsprechend der sogenannten Pipeline-Verarbeitung.

Fig. 7 zeigt ein Zeitablaufdiagramm, das den Ablauf der Verarbeitung vom Abrufen zum Schreiben entsprechend einem Befehl ausführlicher zeigt. In diesem Beispiel ist der Zyklus des Taktsignals auf 25 nsec eingestellt. Während der Taktperiode, in der das Abrufen durchgeführt wird, wird ein bestimmtes Adreßsignal sofort nach Beginn ausgegeben. Von dem Beginn der Ausgabe des Adreßsignals bis zu dem Erhalt des in dem DRAM 64 gespeicherten Befehls (gelesene Daten in Fig. 7) an dem Abrufabschnitt 92 tritt üblicherweise eine erhebliche Verzögerung auf. In dem in Fig. 7 gezeigten Beispiel beträgt diese Verzögerung 20 nsec.

In der nächsten Taktperiode wird die Dekodierung durchgeführt. Es dauert lediglich ungefähr 4 nsec, bevor das dekodierte Informationssignal nach dem Beginn der Dekodierperiode ausgegeben wird. Die Dekodierung dauert nicht so lange wie das Abrufen. Das dekodierte Informationssignal wird unter den vier Dekodierabschnitten 93 ausgetauscht. Danach wird schließlich ein dekodiertes Signal, wie es durch den Ausführungsabschnitt 90 ausgeführt werden kann, ausgegeben. Da das dekodierte Informationssignal in derart kurzer Zeit von ungefähr 4 nsec erhalten werden kann, kann das dekodierte Endsignal in einer Periode von 25 nsec mit ausreichendem Spielraum erhalten werden.

In der nächsten Taktperiode führt der Verarbeitungsausführungsabschnitt 95 eine Ausführungsverarbeitung durch. Üblicherweise erfordert auch die Ausführungsverarbeitung einen erheblichen Zeitabschnitt. In dem in Fig. 7 gezeigten Beispiel dauert es 20 nsec, bevor das Ausführungssignalsignal als Ergebnis der Ausführungsverarbeitung nach dem Beginn der Ausführungsperiode ausgegeben wird. In der folgenden Taktperiode wird das Ausführungssignalsignal als Schreibdatensignal für den Schreibabschnitt 94 ausgegeben.

Da somit in der Vorrichtung 103 Datensignale von dem Speicherabschnitt 14 zu dem Verarbeitungsabschnitt 51 lediglich über die im Innern des Einzel-Halbleiterchips vorgesehene Querverbindung 72 übertragen werden, wird das Problem der Übertragungsverzögerung von Datensignalen gelöst. Des weiteren wird der Vorgang des Austauschs von Signalen zwischen den Einrichtungen 50a bis 50d über jeden Einzel-Halbleiterchip, was derart große Verzögerungen verursacht, die nicht vernachlässigbar sind, in der Dekodierperiode durchgeführt, die eine Taktperiode darstellt, die am wenigsten unter Zeitdruck steht. Daher trägt die Verringerung der Datensignalübertragungsverzögerung, die in der Vorrichtung 103 erreicht wird, effektiv zur Verbesserung der Verarbeitungsgeschwindigkeit bei.

Des weiteren ist es möglich, ausschließlich Pins zu verwenden, die an einem Einzel-Halbleiterchip vorgesehen werden können, um die über die interne Busleitung 75 übertragenen dekodierten Informationssignale weiterzugeben. Daher kann durch Vergrößerung der Bitbreite der dekodierten Informationssignale, die über die interne Busleitung 75 ausgetauscht werden, die Geschwindigkeit der Übertragung der dekodierten Informationssignale verbessert werden, und außerdem kann die Bitbreite, die die CPU 61 als Verarbeitungseinheit behandelt, leicht auf eine 64-Bit-Breite, eine 128-Bit-Breite, usw. erweitert werden. Dies verbessert weiter die Verarbeitungsgeschwindigkeit der Vorrichtung.

Fig. 8 zeigt ein Blockschaltbild eines anderen Beispiels des inneren Aufbaus der CPU 61. Dieses Beispiel unterscheidet sich charakteristisch von dem in Fig. 5 gezeigten Beispiel darin, daß die Querverbindung 83 mit dem Ausgang des Abrufabschnitts 92 anstatt mit dem Ausgang des Dekodierabschnitts 93 verbunden ist. Der Abrufabschnitt 92

entnimmt einen 8-Bitbreiten Teilbefehl, der einen Teil eines Befehls bildet, der in dem DRAM 64 gespeichert ist, über die Querverbindung 82 und gibt dann ein Abrufinformationssignal aus. Der Abrufabschnitt 92 weist beispielsweise eine Latch-Schaltung auf, die das gleiche Signal wie den abgerufenen Teilbefehl an ihrem Ausgang als Abrufinformationssignal hält.

Dieses Abrufinformationssignal wird dem Dekodierabschnitt 93 zugeführt und wird auch zu der CPU-Busschnittstelle 67 über die Querverbindung 83 übertragen. Die CPU-Busschnittstelle 67 gibt das Abrufinformationssignal von dem Abrufabschnitt 92 auf die interne Busleitung 75 über die Querverbindung 73. Dieser Vorgang wird auf die gleiche Weise in allen Einrichtungen 50a bis 50d durchgeführt. Das heißt, der internen Busleitung 75 werden Abrufinformationssignale von den vier Verarbeitungsabschnitten 51 gleichzeitig zugeführt.

Der Dekodierabschnitt 93 empfängt über die CPU-Busschnittstelle 67 und die Querverbindung 84 die von den anderen drei Abrufabschnitten 92 auf die interne Busleitung 75 gelegten Abrufinformationssignale. Infolgedessen werden dem Dekodierabschnitt 93 die Abrufinformationssignale von allen vier Abrufabschnitten 92, die zu den vier Verarbeitungsabschnitten 51 gehören, zugeführt. Der Dekodierabschnitt 93 nimmt auf die empfangenen Abrufinformationssignale zur Dekodierung des 32-Bit-breiten Befehls Bezug. Das somit erhaltene dekodierte Signal wird dem Ausführungsabschnitt 90 zugeführt. Die Verarbeitung in dem Ausführungsabschnitt 90 ist die gleiche wie in dem Beispiel in Fig. 5.

Das Beispiel in Fig. 8 weist einen derartigen Vorteil auf, daß die Vorrichtungsstruktur einfach ist, da die vier CPUs 61 nicht dekodierte Abrufinformationssignale austauschen. Des weiteren kann der Dekodierabschnitt 93 das Abrufinformationssignal in der Dekodierperiode entnehmen, die eine Taktperiode darstellt, die am wenigsten zeitkritisch ist. In diesem Fall trägt auf ähnliche Weise wie bei dem in Fig. 5 gezeigten Beispiel die Verringerung der Übertragungsverzögerungen der Datensignale effektiv zur Verbesserung der Verarbeitungsgeschwindigkeit bei.

Wenn das in dem Abrufabschnitt 92 abgerufene Datensignal kein ein Programm bildender Befehl sondern ein Datensignal zur Verarbeitung bzw. Operation (beispielsweise numerische Daten, Daten mit Logikwert, usw.) sind, führt der Ausführungsabschnitt 90 eine Verarbeitung bzw. Operation (beispielsweise eine Addition, logische Operation, usw.) beruhend auf dem Datensignal zur Verarbeitung durch. Zu diesem Zeitpunkt ist die Dekodierung des Befehls durch den Dekodierabschnitt 93 nicht erforderlich, so daß das Abrufinformationssignal vollständig beispielsweise zu dem Ausführungsabschnitt 90 gesendet wird.

Obwohl die vorstehend beschriebenen Beispiele Systeme aufzeigen, in denen sich lediglich die Steuerabschnitte 91 die Operationsverarbeitung bzw. Verarbeitungsvorgänge in den in der Vielzahl der Einrichtungen 50a bis 50d vorgesehenen CPUs 61 teilen, ist es auch möglich, eine Vorrichtung derart auszubilden, daß die Ausführungsabschnitte 90 enthaltende Vorrichtungsabschnitte sich die Verarbeitungsvorgänge teilen. In diesem Fall ist es möglich, 8-Bit-CPU's, die die Verarbeitung in Einheiten von 8 Bits durchführen, als CPUs 61 zu verwenden.

Dann führt beispielsweise bei der Addition von 32-Bit-Datensignalen jeder Ausführungsabschnitt 90 eine Addition von 8 Bits durch, die durch gleichmäßige Einteilung der 32 Bits in vier Bitscheiben ausgebildet sind. Dann ist es erforderlich, Übertragungssignale zur Addition unter den Ausführungsabschnitten 90 auszutauschen, was nicht nur die Querverbindungen 83 und 84 zur Verbindung der Dekodierab-

schnitte 39 sondern auch Querverbindungen zur Verbindung der Ausführungsabschnitte 90 erfordert.

Drittes bevorzugtes Ausführungsbeispiel

Bei den vorstehend beschriebenen Vorrichtungen gemäß dem ersten und zweiten bevorzugten Ausführungsbeispiel entspricht die Bitbreite der in die Speicherabschnitte 12, 14 geschriebenen und daraus gelesenen Datensignale der Bitbreite der Datensignale, die in die in den Speicherabschnitten 12, 14 ausgebildeten DRAMs 4, 64 geschrieben bzw. daraus gelesen werden.

Beispielsweise tauschen in dem in Fig. 2 gezeigten Beispiel die CPU-Busschnittstelle 3 und die Speicherbusschnittstelle 5 16-Bit-breite Datensignale aus, und die Speicherbusschnittstelle 5, der Cache-Speicher 6 und der DRAM 4 tauschen auch die gleichen 16-Bit-breiten Datensignale aus. Jedoch können allgemein die Bitbreiten der Datensignale verschieden sein. Fig. 9 zeigt ein Blockschaltbild eines Beispiels einer Einrichtung, die gemäß diesem Konzept ausgebildet ist.

Die in Fig. 9 gezeigte Einrichtung enthält einen Speicherabschnitt 132 sowie den Verarbeitungsabschnitt 11 in Fig. 2. Die Einrichtung 130 ist aus einem Einzel-Halbleiterchip gebildet, der mit einer anderen Einrichtung 130 parallel, wie die Einrichtungen 10a und 10b in Fig. 2, zur Ausbildung einer Datenverarbeitungsvorrichtung verbunden werden kann.

In dem Speicherabschnitt 132 tauschen anders als bei dem DRAM 4 (Fig. 2) die Speicherbusschnittstelle 135, der Cache-Speicher 136 und der DRAM 134 128-Bit-breite Datensignale aus. Das heißt, die Datensignale werden in einer Breite von 128 Bits in den DRAM 134 geschrieben und daraus ausgelesen. Die Einrichtung 130 kann die Verarbeitungsgeschwindigkeit weiter verbessern, da die gleichzeitig in den DRAM 134 geschriebenen und daraus ausgelesenen Datensignale eine größere Bitanzahl gegenüber den Einrichtungen 10a und 10b aufweisen.

Viertes bevorzugtes Ausführungsbeispiel

Fig. 10 zeigt ein Blockschaltbild des Aufbaus einer Einrichtung gemäß einem vierten bevorzugten Ausführungsbeispiel. Diese Einrichtung 140 enthält einen Verarbeitungsabschnitt 141 und einen Speicherabschnitt 142. Die Einrichtung 140 ist aus einem Einzel-Halbleiterchip gebildet, der mit einer anderen oder anderen Einrichtungen 140 parallel zur Ausbildung einer Datenverarbeitungsvorrichtung gleichermaßen wie die Einrichtungen 10a, 10b (Fig. 2) oder die Einrichtungen 50a bis 50d (Fig. 4) verbunden werden kann.

Diese Einrichtung 140 unterscheidet sich charakteristisch von den in den ersten bis dritten bevorzugten Ausführungsbeispielen gezeigten Einrichtungen dahingehend, daß die Bitbreite der in den Speicherabschnitt 142 geschriebenen und daraus ausgelesenen Datensignale variabel ist. Der Verarbeitungsabschnitt 141 enthält eine CPU-Busschnittstelle 113 zusätzlich zu der CPU 1 und der Eingabe-/Ausgabebusschnittstelle 2. Diese CPU-Busschnittstelle 113 stellt die Bitbreite L_j der aus dem Speicherabschnitt 142 gelesenen und in den Speicherabschnitt 142 geschriebenen Datensignale im Ansprechen auf ein von außen über eine Querverbindung 133 eingegebenes Auswahlsignal frei ein.

Der Speicherabschnitt 142 enthält eine Speicherbusschnittstelle 115 sowie den DRAM 134 und den Cache-Speicher 136. Diese Speicherbusschnittstelle 115 stellt die Bitbreite L_j der mit der CPU-Busschnittstelle 113 ausgetauschten Datensignale im Ansprechen auf das Auswahlsignal frei ein. Das heißt, die CPU-Busschnittstelle und die

Speicherbusschnittstelle 115 stellen die Bitbreite Lj in Übereinstimmung miteinander im Ansprechen auf das gemeinsam eingegebene Auswahlsignal ein.

Das heißt, mit der Bitbreite Lj als Variable beruhend auf dem Auswahlsignal wird ein Datensignal mit der Bitbreite Lj von der CPU-Busschnittstelle 113 in die Speicherbusschnittstelle 115 über die Querverbindung 121 geschrieben, und ein Datensignal der Bitbreite Lj wird aus der Speicherbusschnittstelle 115 in die CPU-Busschnittstelle 113 über die Querverbindung 122 gelesen.

Des weiteren wird ein Datensignal bzw. werden Datensignale mit einer Bitbreite bzw. Bitbreiten Lj in die CPU-Busschnittstelle 113 von der Speicherbusschnittstelle bzw. den Speicherbusschnittstellen 115 für die andere(n) Einrichtung(en) 140 über eine andere bzw. andere Querverbindungen 122 eingegeben. Die Querverbindungen 122 zur Übertragung der Datensignale mit der Bitbreite bzw. den Bitbreiten Lj gehören zu der Busleitung 123 und werden in der Busleitung 123 entsprechend dem Auswahlsignal belegt.

Da in dem in Fig. 10 gezeigten Beispiel die CPU 1 vom 32-Bit-Typ ist, enthält die Busleitung 123 32 Querverbindungen entsprechend der 32-Bit-Breite. Beträgt die Bitbreite Lj beispielsweise 8 Bits, ist die Busleitung 123 aus vier Querverbindungen 122 mit jeweils acht Leitungen gebildet. Die Speicherbusschnittstelle 115 ist mit allen die Busleitung 123 bildenden Querverbindungen verbunden, wobei die Querverbindungen 122, die der durch das Auswahlsignal bestimmten Bitbreite Lj nicht entsprechen, hochohmig werden, und deren Verbindungen dann unterbrochen werden, wie es durch gestrichelte Linien in Fig. 10 gezeigt ist.

Wie die Busleitung 123 weist die Querverbindung 121 auch 32 Querverbindungen bzw. Leitungen auf, so daß sie Datensignale mit einer maximalen Breite von 32 Bits übertragen kann. Unter den Querverbindungen sind nur Lj Querverbindungen, die der durch das Auswahlsignal bestimmten Bitbreite Lj entsprechen, mit der CPU-Busschnittstelle 113 und der Speicherbusschnittstelle 115 verbunden und werden zur Übertragung des Lj-Bit-Breiten-Datensignals verwendet.

Die Adressierung des DRAMs 134 wird mittels Adresssignalen, die von der CPU 1 über die Querverbindung 120 zu dem DRAM 134 übertragen werden, gleichermaßen wie bei den ersten bis dritten Ausführungsbeispielen erreicht. Der Speicherabschnitt 142 funktioniert bezüglich des Verarbeitungsabschnitts 141 wie ein DRAM mit Bitleitungen für Lj Bits entsprechend der Bitbreite Lj, die durch das Auswahlsignal bestimmt wird.

Fig. 11 und Fig. 12 zeigen erläuternde Darstellungen von Bit-/Wort-Konfigurationen für den Speicherabschnitt 142 in einer Datenverarbeitungsvorrichtung, die beispielsweise durch die Verbindung von vier Einrichtungen 140 parallel ausgebildet ist. In dem in Fig. 11 gezeigten Beispiel sind die Bitbreiten Lj unter den vier Einrichtungen 140 nicht gleich. Jedoch entspricht die Gesamtsumme der Bitbreiten Lj ($j=1$ bis 4) 32, und das Produkt der Bitbreite Lj und der Anzahl der Wortleitungen Wj, $L_j \times W_j$ ist allen Einrichtungen 140 gemeinsam.

Dagegen sind in dem in Fig. 12 gezeigten Beispiel die Bitbreiten Lj unter den vier Einrichtungen 140 gleich. Das in Fig. 12 gezeigte Beispiel wird gegenüber dem allgemeinen in Fig. 11 gezeigten Beispiel bevorzugt. Es hat den Vorteil des Gleichmachens der Eigenschaften, wie der Übertragungsrate von Datensignalen unter den Einrichtungen 140 zusätzlich zu dem Vorteil der Erleichterung des Einstellens der Bitbreiten Lj.

5. Modifikationen

(1) Obwohl die vorstehend beschriebenen bevorzugten Ausführungsbeispiele Beispiele aufzeigen, bei denen die Speicherabschnitte DRAMs aufweisen, kann die Erfindung nicht nur DRAMs, sondern auch andere übliche Halbleiterspeicher wie SRAMs (statische Schreib-Lese-Speicher), Nur-Lese-Halbleiter-ROMs usw. verwenden. Die bei den bevorzugten Ausführungsbeispielen beschriebenen Effekte können auch unter Verwendung allgemeiner Halbleiterspeicher erreicht werden. Allerdings sind DRAMs mit dem größten Grad an Integration unter den allgemeinen Halbleiterspeichern am geeignetsten für die Anwendungen bei der Erfindung. Wenn beispielsweise Halbleiter-ROMs in Fig. 2 verwendet werden, sind die Querverbindungen 21 zur Übertragung von Datensignalen von den Verarbeitungsabschnitten 11 zu den Speicherabschnitten 12 nicht erforderlich.

(2) Obwohl die vorstehend beschriebenen bevorzugten Ausführungsbeispiele Beispiele aufzeigen, bei denen Verarbeitungsabschnitte CPUs aufweisen, und Programme, die durch die CPUs auszuführende Prozeduren von Verarbeitungsvorgängen definieren, zuvor in den Halbleiterspeichern wie in den Speicherabschnitten vorgesehenen DRAMs gespeichert werden, können die Verarbeitungsabschnitte im allgemeinen aus Logikschaltungen (beispielsweise Kombinationen von Logikelementen) gebildet sein. In diesem Fall werden nicht Programme in den Halbleiterspeichern gespeichert, sondern es werden den Logikschaltungen zuzuführende Datensignale zuvor gespeichert. In diesem Fall ist die Erfindung besonders dann von Nutzen, wenn die Logikschaltungen auf der Grundlage von Datensignalen mit großer Datenmenge arbeiten, d. h., wenn der Speicherplatz des Halbleiterspeichers beispielsweise eine Speicherkapazität von 1 Megabit oder mehr aufweist.

Erfindungsgemäß ist eine Datenverarbeitungsvorrichtung offenbart, die die Verarbeitungsgeschwindigkeit und Speicherkapazität eines Halbleiterspeichers, die ein Verarbeitungsabschnitt ausnutzen kann, kompatibel verbessert. Jede Einrichtung (10a, 10b) in der Vorrichtung, die jeweils einen Verarbeitungsabschnitt (11) und einen Speicherabschnitt (12) aufweist, ist aus einem Einzel-Halbleiterchip gebildet. Ein Datensignal wird getrennt in zwei Speicherabschnitten (12) in einer Bit-Scheiben-Form gespeichert, und jeder der zwei Verarbeitungsabschnitte (11) kann das in der Gesamtheit der zwei Speicherabschnitte (12) gespeicherte 32-Bit-breite Datensignal über Querverbindungen (22, 23) verwenden. Das heißt, jeder Verarbeitungsabschnitt (11) kann eine Speicherkapazität ausnutzen, die zweimal größer als die Kapazität ist, die in einem Einzel-Halbleiterchip sichergestellt werden kann. Als Querverbindungen zur Verbindung der Halbleiterchips sind lediglich die Querverbindungen (22, 23) zur Übertragung von Datensignalen von den zwei Speicherabschnitten zu den zwei Verarbeitungsabschnitten (11) vorgesehen. Daher kann die Bitbreite der Querverbindungen (22, 23) zur Erhöhung der Übertragungsgeschwindigkeit der Datensignale und zur Erhöhung der Verarbeitungsgeschwindigkeit der Vorrichtung erhöht werden.

Patentansprüche

1. Datenverarbeitungsvorrichtung mit m ($m \geq 2$) Verarbeitungsabschnitten (11; 13; 51; 141), m Speicherabschnitten (12; 14; 132; 142) und

einer Querverbindung (20-23; 41-45; 70-73, 75; 120-123) zur Verbindung der m Verarbeitungsabschnitte und der m Speicherabschnitte, wobei die m Verarbeitungsabschnitte jeweils m CPUs (1; 61) aufweisen, wobei die m Speicherabschnitte jeweils m Halbleiterspeicher (4; 64; 134) aufweisen, wobei die m Halbleiterspeicher eine Folge von Datensignalen mit N-Bit-Breite ($N > 2$) einschließlich eines die Verarbeitungsvorgänge der m CPUs definierenden Programms speichern können, wobei die Datensignale in m Scheibensignale jeweils mit Bitbreiten L_1, L_2, \dots, L_m ($L_1, L_2, \dots, L_m \geq 1; L_1 + L_2 + \dots + L_m = N$) eingeteilt sind, und die m Scheibensignale jeweils den m Halbleiterspeichern zuordenbar sind, wobei die m CPUs die in den gesamten m Halbleiterspeichern gespeicherten Datensignale mit N-Bit-Breite lesen und aufeinanderfolgend Verarbeitungen beruhend auf den N-Bit-Breiten Datensignalen ausführen, und wobei m Paare, die jeweils einen der m Verarbeitungsabschnitte und einen der m Speicherabschnitte enthalten, jeweils in m Einzel-Halbleiterchips (9) ausgebildet sind, die voneinander getrennt sind.

2. Datenverarbeitungsvorrichtung nach Anspruch 1, wobei jede der m CPUs die in den gesamten m Halbleiterspeichern gespeicherten Datensignale mit N-Bit-Breite liest und aufeinanderfolgend Verarbeitungen beruhend auf den Datensignalen mit N-Bit-Breite ausführt, und infolgedessen die m CPUs gleiche Verarbeitungen ausführen.

3. Datenverarbeitungsvorrichtung nach Anspruch 2, wobei die m Verarbeitungsabschnitte ferner m erste Schnittstellen (3; 113) aufweisen, die jeweils mit den m CPUs verbunden sind, wobei die m Speicherabschnitte ferner m zweite Schnittstellen (5; 135; 115) aufweisen, die jeweils mit den m Halbleiterspeichern verbunden sind, wobei die Querverbindung die m ersten und zweiten Schnittstellen zur Verbindung jeder der m CPUs mit allen m Halbleiterspeichern verbindet, wobei die m zweiten Schnittstellen die m Scheibensignale jeweils aus den m Halbleiterspeichern lesen, wobei jede der m ersten Schnittstellen alle m Scheibensignale empfängt, die jeweils durch die m zweiten Schnittstellen gelesen wurden, und die Datensignale mit N-Bit-Breite neu konfiguriert und dann die Datensignale mit N-Bit-Breite in eine der m CPUs eingibt, die zu einem der m Verarbeitungsabschnitte gehört und diesem gemeinsam ist, und wobei die ersten und zweiten Schnittstellen die Bitbreiten L_1, L_2, \dots, L_m im Ansprechen auf ein von außen eingegebenes Auswahlsignal veränderbar einstellen.

4. Datenverarbeitungsvorrichtung nach Anspruch 3, wobei jeder der m Halbleiterspeicher lesbar und beschreibbar ist, wobei die m ersten Schnittstellen jeweils m Ausschnittsignale jeweils mit den Bitbreiten L_1, L_2, \dots, L_m , die veränderbar eingestellt wurden, aus den aus den m CPUs ausgegebenen m N-Bit-Breiten Datensignalen ausschneiden und die m Ausschnittsignale jeweils den m zweiten Schnittstellen zuführen, wobei die m zweiten Schnittstellen jeweils die m Ausschnittsignale als die m Scheibensignale in die m Halbleiterspeicher schreiben, und wobei, wenn die m Ausschnittsignale jeweils von den m ersten Schnittstellen zu den m Halbleiterspeichern über die m zweiten Schnittstellen übertragen werden,

jedes der m Ausschnittsignale innerhalb des gleichen der m Einzel-Halbleiterchips übertragen wird.

5. Datenverarbeitungsvorrichtung nach Anspruch 1 oder 2, wobei jeder der m Halbleiterspeicher lesbar und beschreibbar ist, wobei beim Schreiben der Datensignale mit N-Bit-Breite in die m Halbleiterspeicher die m CPUs die m Scheibensignale, die durch Einteilung der Datensignale in Scheiben gebildet werden, jeweils in die m Halbleiterspeicher schreiben, und wobei, wenn die m Scheibensignale jeweils von den m CPUs zu den m Halbleiterspeichern übertragen werden, jedes der m Scheibensignale innerhalb des gleichen der m Einzel-Halbleiterchips übertragen wird.

6. Datenverarbeitungsvorrichtung nach Anspruch 5, wobei jeder der m Halbleiterspeicher ein dynamischer RAM ist.

7. Datenverarbeitungsvorrichtung nach Anspruch 6, wobei die m Speicherabschnitte ferner m Cache-Speicher (6; 66; 116; 136) umfassen, die jeweils mit den m dynamischen RAMs verbunden sind, und wobei die Datensignale über die jeweils mit den m dynamischen RAMs verbundenen m Cache-Speicher aus den m dynamischen RAMs gelesen und in die m dynamischen RAMs geschrieben werden.

8. Datenverarbeitungsvorrichtung nach Anspruch 1, wobei jede der m CPUs lediglich eines der m Scheibensignale mit einer Bitbreite L_i (i Element aus 1, 2, \dots , m), das in einem der m Halbleiterspeicher gespeichert ist, der in einem der m Einzel-Halbleiterchips mit diesem gemeinsam ausgebildet ist, liest, und zumindest die Gesamtheit der m CPUs eine Verarbeitung beruhend auf den Datensignalen mit N-Bit-Breite aufeinanderfolgend ausführt.

9. Datenverarbeitungsvorrichtung nach Anspruch 8, wobei jede der m CPUs einen Dekodierabschnitt (93) und einen Ausführungsabschnitt (90) aufweist, wobei jedesmal, wenn der Dekodierabschnitt das eine der in Scheibensignale dekodiert, der Dekodierabschnitt die erhaltenen Dekodierinformationen allen anderen CPUs zuführt und durch alle anderen CPUs erhaltene Dekodierinformationen zur Vervollständigung der Dekodierung der Datensignale mit N-Bit-Breite empfängt, und wobei der Ausführungsabschnitt dekodierte Ergebnisse der Datensignale mit N-Bit-Breite, die in dem Dekodierabschnitt erhalten werden, als Eingangssignal zur Ausführung einer Verarbeitung beruhend auf den Datensignalen mit N-Bit-Breite empfängt.

10. Datenverarbeitungsvorrichtung nach Anspruch 8, wobei jede der m CPUs einen Abrufabschnitt (92) und einen Ausführungsabschnitt (90) aufweist, wobei jedesmal, wenn der Abrufabschnitt das eine der m Scheibensignale abrufen, der Abrufabschnitt erhaltene Abrufinformationen allen anderen CPUs zuführt, und wobei der Ausführungsabschnitt eine Verarbeitung beruhend auf den Datensignalen über die Abrufinformationen ausführt, die von dem Abrufabschnitt und allen anderen CPUs erhalten werden.

11. Datenverarbeitungsvorrichtung nach Anspruch 1, wobei die Bitbreiten L_1, L_2, \dots, L_m derart eingestellt sind, daß $L_1 = L_2 = \dots = L_m$.

12. Datenverarbeitungsvorrichtung nach Anspruch 1, ferner mit einem Taktgeneratorabschnitt (25) zur Erzeugung von Taktimpulsen, wobei der Taktimpuls-generatorabschnitt die Taktimpulse den m CPUs gemeinsam zuführt.

13. Datenverarbeitungsvorrichtung mit
 m ($m \geq 2$) Verarbeitungsabschnitten (11; 13; 51; 141),
 m Speicherabschnitten (12; 14; 132; 142) und
 einer Querverbindung (20-23; 41-45; 70-73, 75;
 120-123) zur Verbindung der m Verarbeitungsab- 5
 schnitte und der m Speicherabschnitte,
 wobei die m Verarbeitungsabschnitte jeweils in Logik-
 schaltungen aufweisen,
 wobei die m Speicherabschnitte jeweils m Halbleiter-
 speicher (4; 64; 124) aufweisen, 10
 wobei die m Halbleiterspeicher eine Speicherkapazität
 von 1 Megabit oder mehr aufweisen und eine Folge
 von Datensignalen mit N -Bit-Breite ($N \geq 2$) speichern
 können, wobei die Datensignale in m Scheibensignale
 jeweils mit Bitbreiten L_1, L_2, \dots, L_m ($L_1, L_2, \dots,$ 15
 $L_m \geq 1; L_1 + L_2 + \dots + L_m = N$) eingeteilt sind und die m
 Scheibensignale jeweils den m Halbleiterspeichern zu-
 ordnenbar sind,
 wobei den m Logikschaltungen aufeinanderfolgend die
 Datensignale mit N -Bit-Breite, die in den gesamten m 20
 Halbleiterspeichern gespeichert sind, zugeführt wer-
 den, und die m Logikschaltungen aufeinanderfolgend
 Verarbeitungen beruhend auf den Datensignalen mit N -
 Bit-Breite ausführen, und
 wobei m Paare, die jeweils einen der m Verarbeitungs- 25
 abschnitte und einen der m Speicherabschnitte enthal-
 ten, jeweils in separaten Einzel-Halbleiterchips (9) aus-
 gebildet sind, die voneinander getrennt sind.

Hierzu 10 Seite(n) Zeichnungen

30

35

40

45

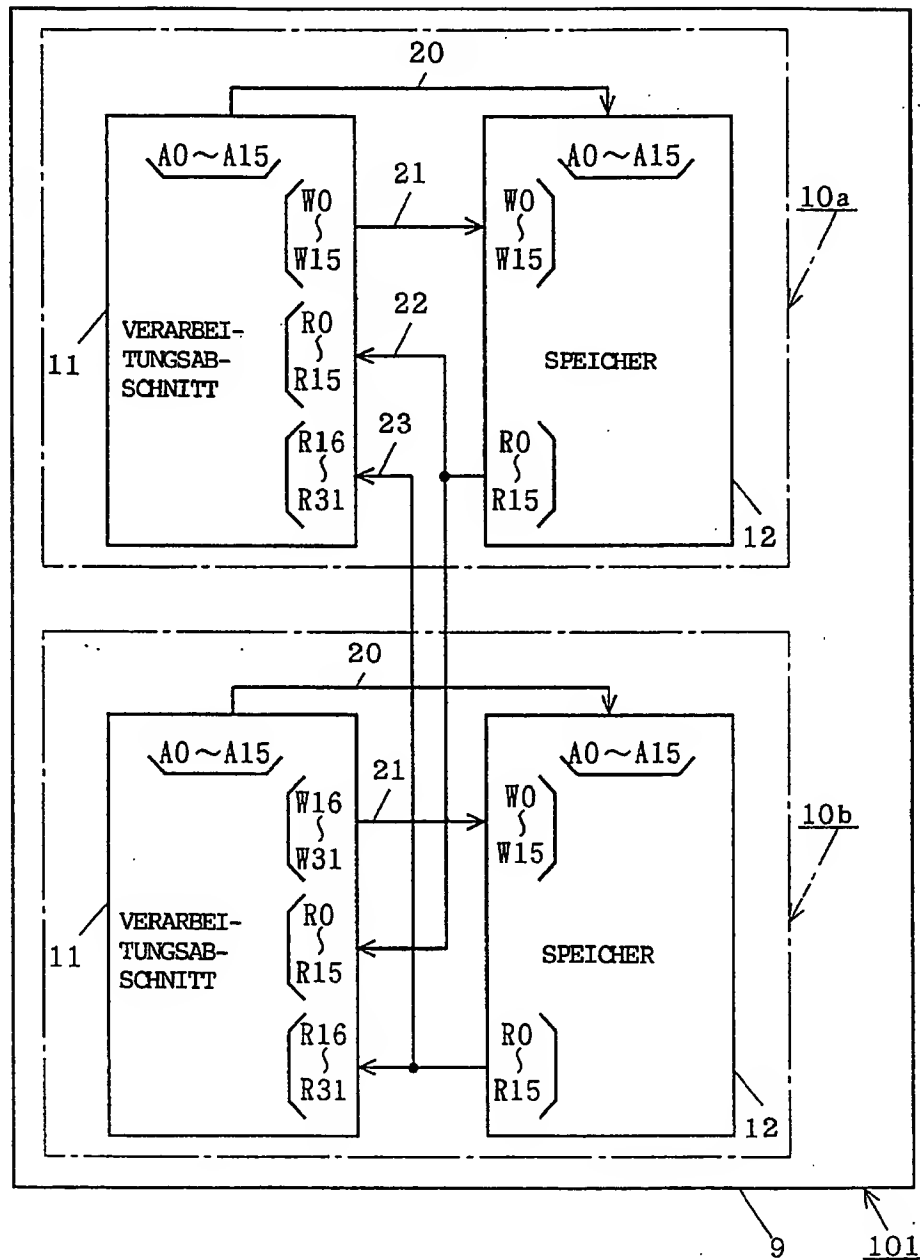
50

55

60

65

FIG. 1



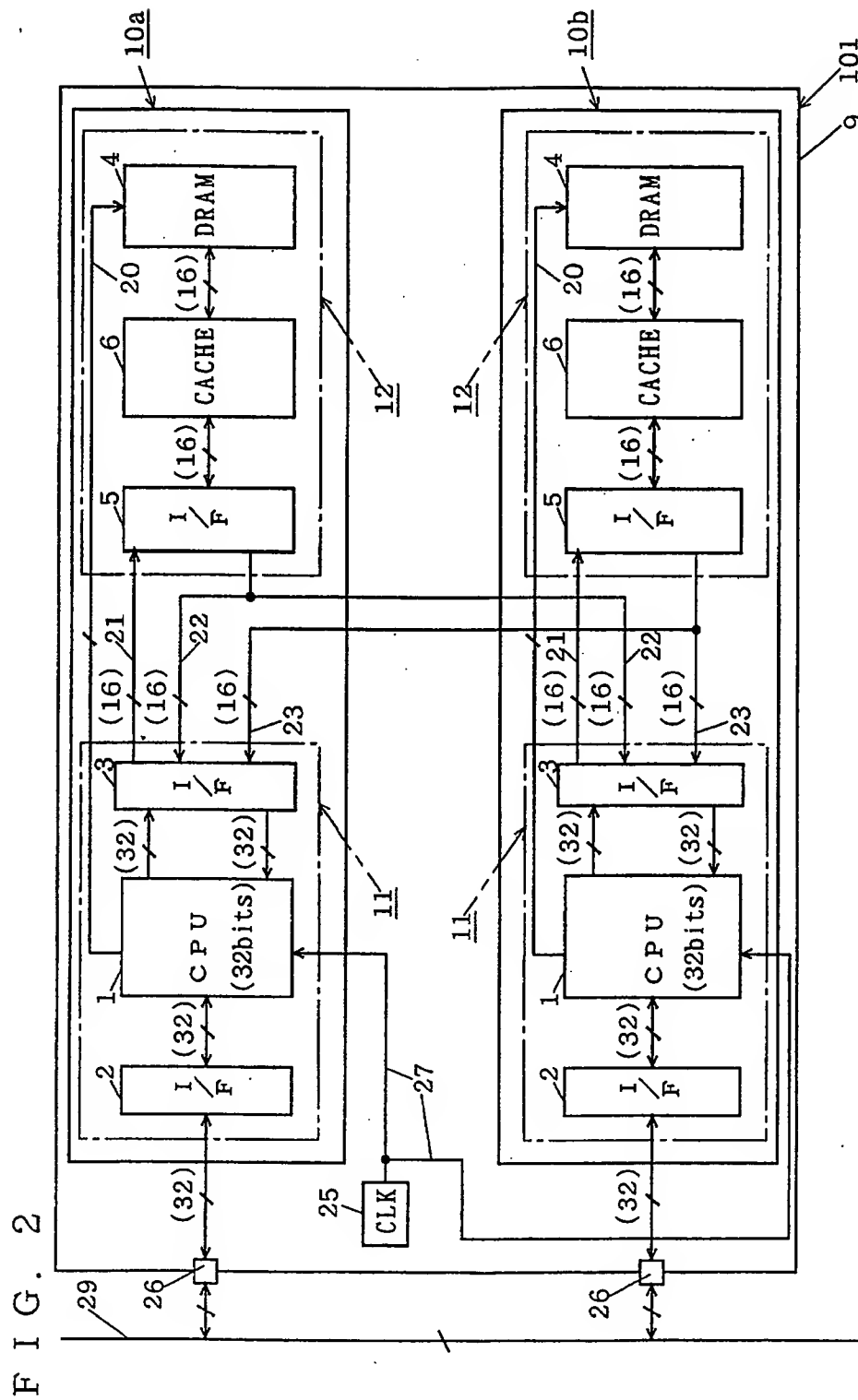
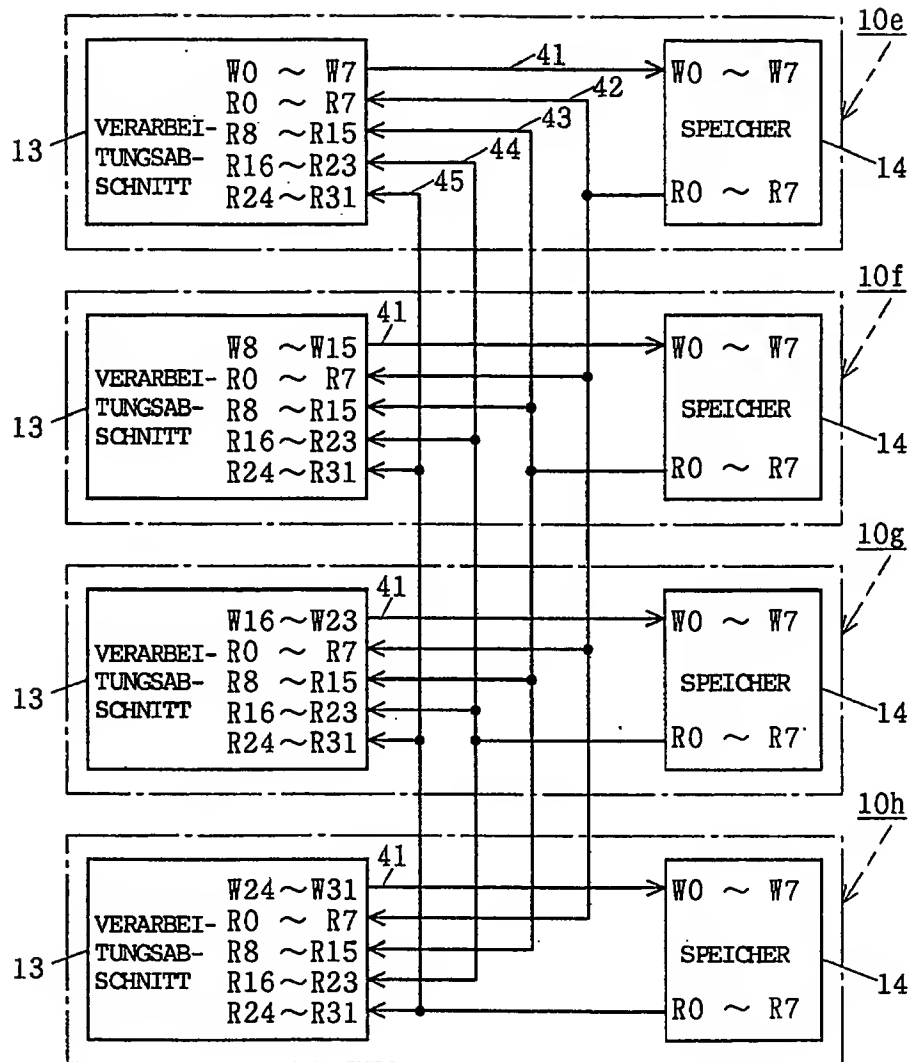


FIG. 3



102

FIG. 4

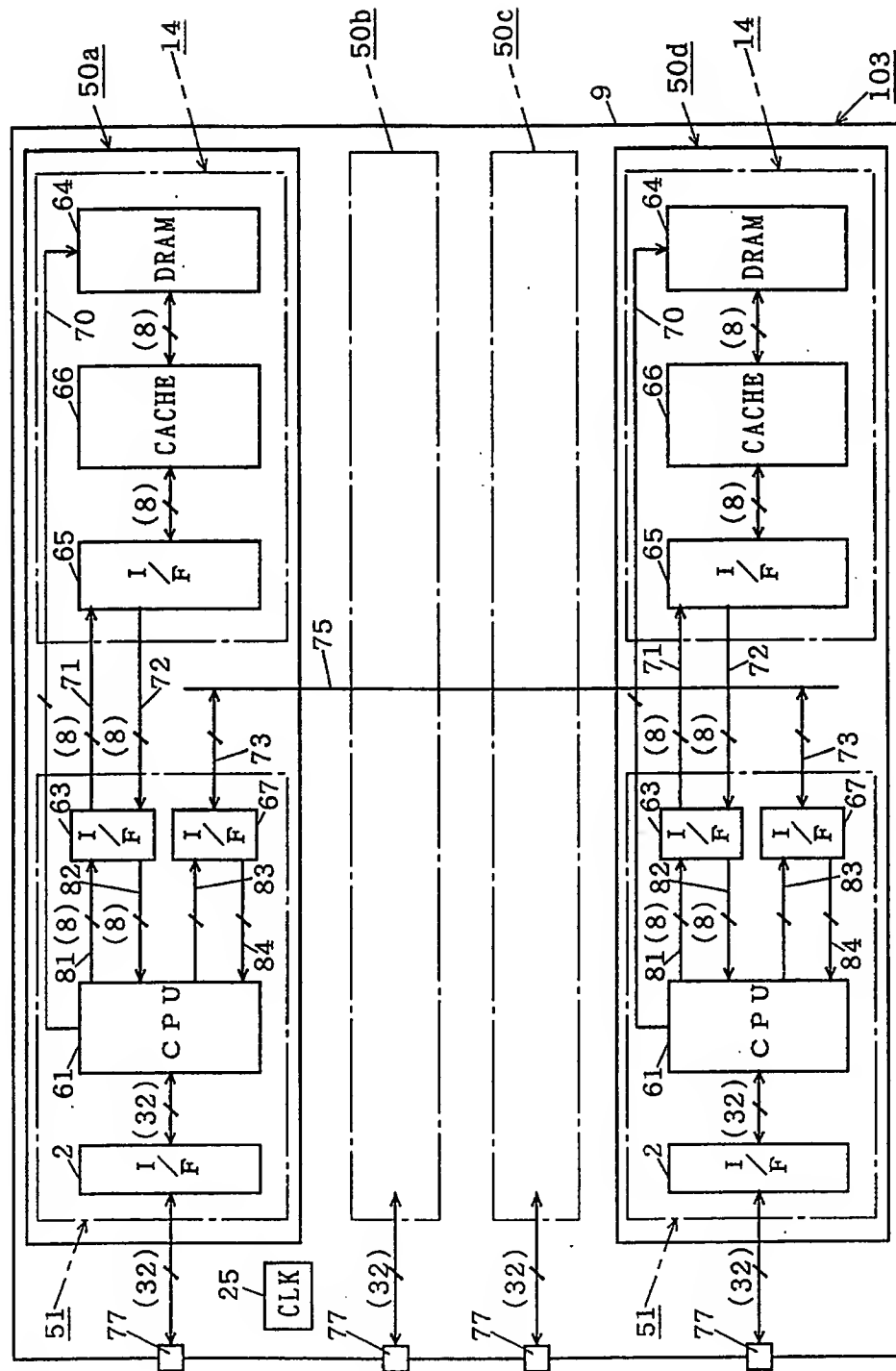


FIG. 5

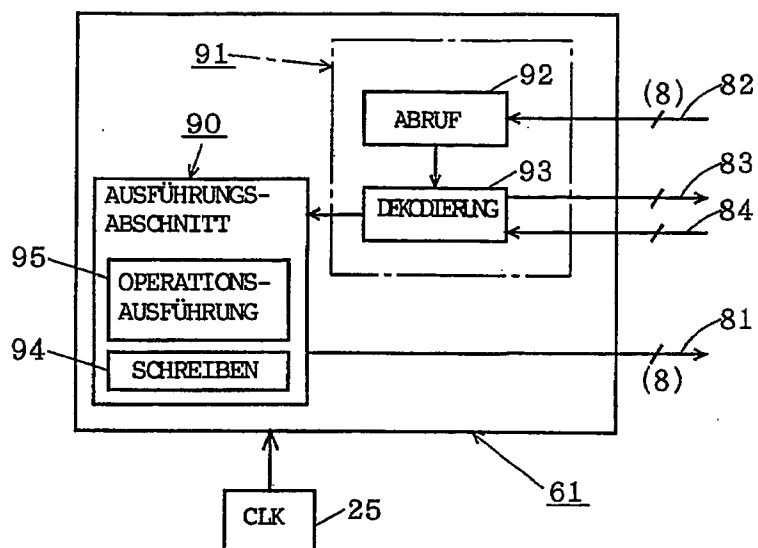


FIG. 6

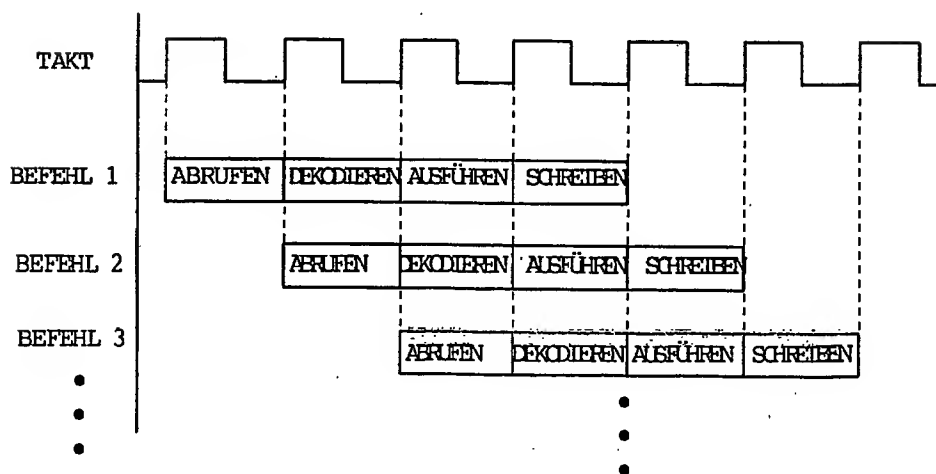


FIG. 7

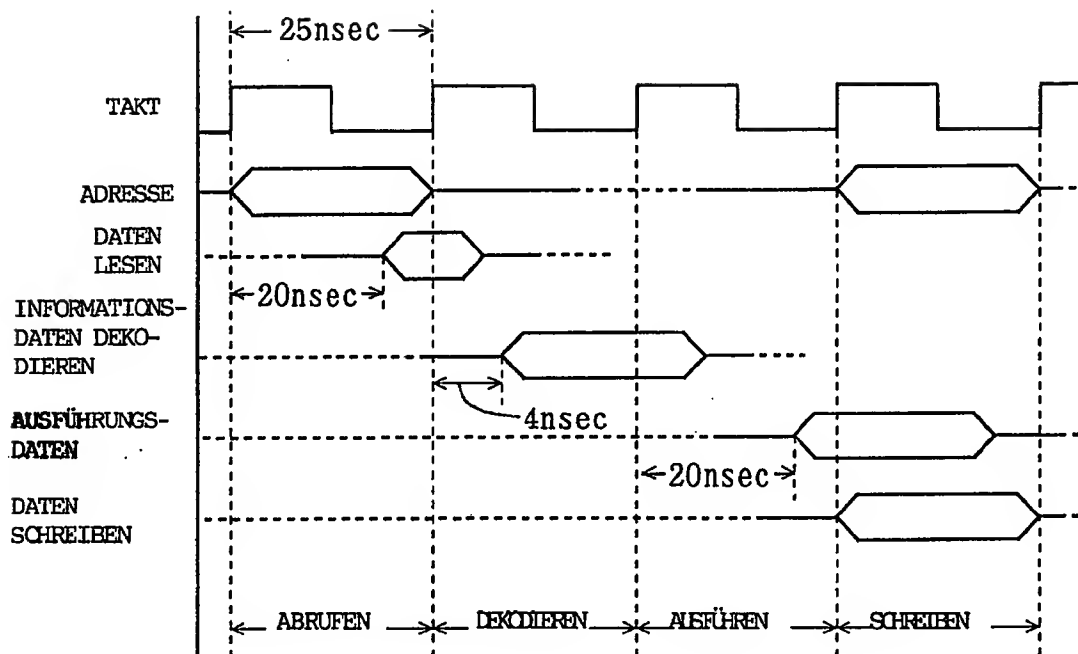


FIG. 8

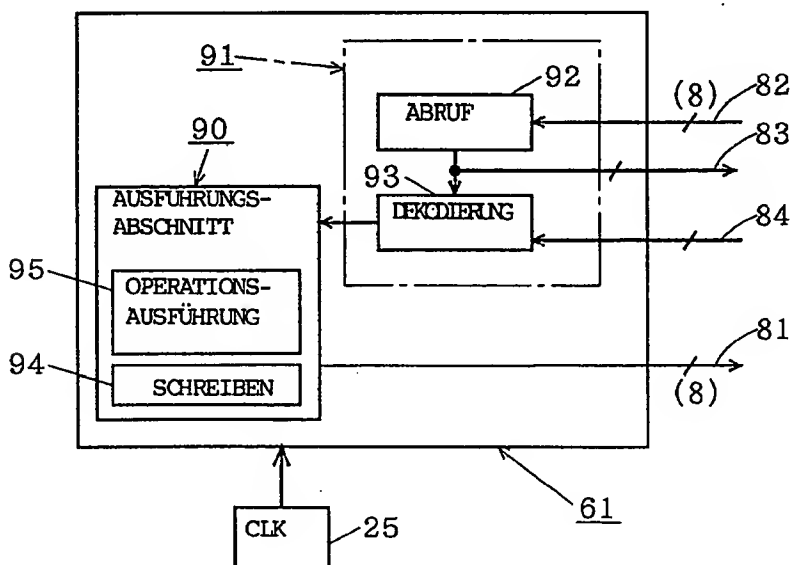


FIG. 9

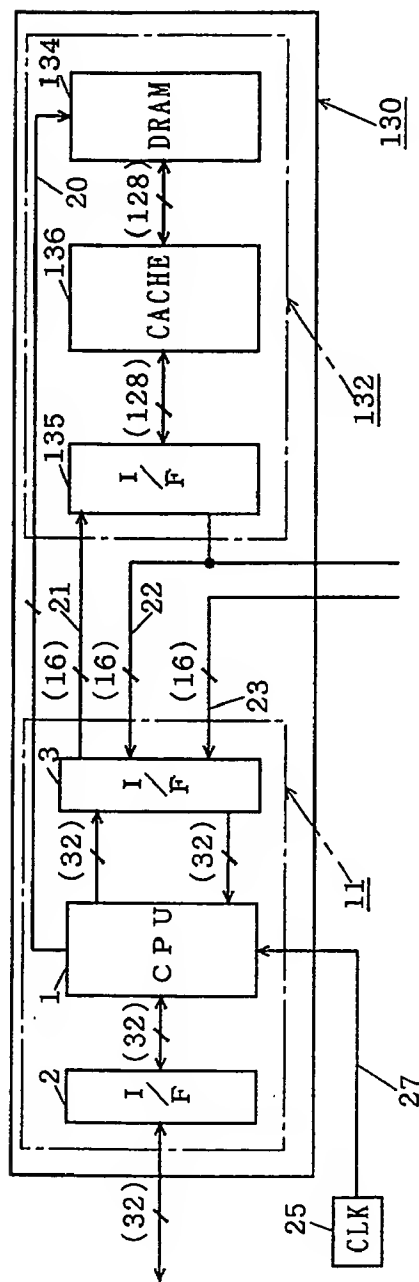
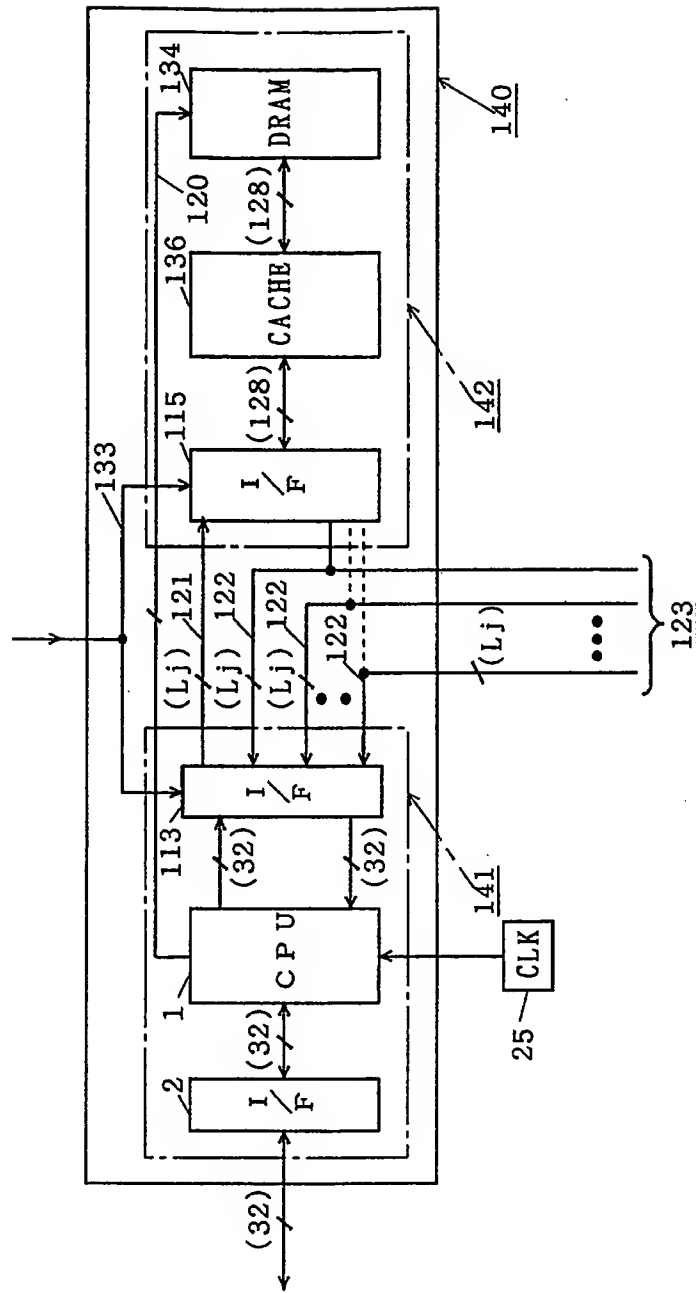
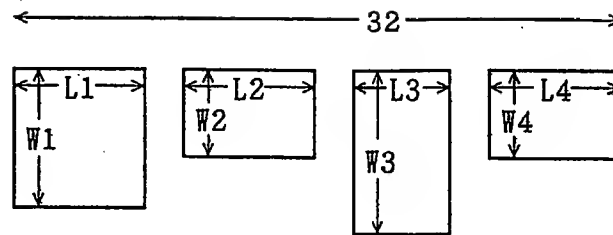


FIG. 10



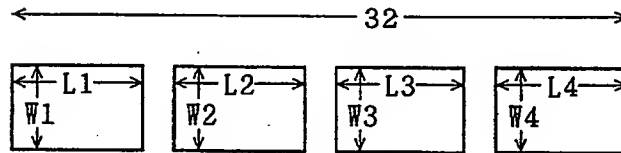
F I G. 1 1



$$L\ 1 + L\ 2 + \dots + L\ 4 = 3\ 2$$

$$L\ 1 \times W\ 1 = L\ 2 \times W\ 2 = \dots = L\ 4 \times W\ 4$$

F I G. 1 2



$$L\ 1 + L\ 2 + \dots + L\ 4 = 3\ 2$$

$$L\ 1 = L\ 2 = \dots = L\ 4$$

$$W\ 1 = W\ 2 = \dots = W\ 4$$

FIG. 13

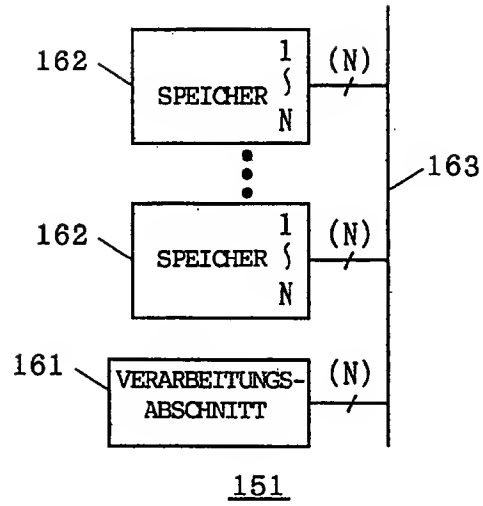


FIG. 14

